Série B
N° d'ordre : 4
N° de série : 4
C.N.R.S : A.O 12176

Brest 1975

THÈSE

présentée

A L'UNIVERSITÉ DE BRETAGNE OCCIDENTALE

U.E.R. SCIENCES DE LA MATIÈRE ET DE LA MER

pour obtenir le grade de

DOCTEUR-INGÉNIEUR

par

Alexis BERVAS

Ingénieur C.N.A.M

Étude et réalisation d'un générateur de fonctions programmable

---

Soutenue le 16 décembre 1975 devant la Commission d'Examen

Président : M.R.GÉNIN Professeur à l'U.B.O

Examinateurs : M.E.RIAUX Professeur à l'Université de Rennes I

: M.G.SAVARY Maître de Conférences à l'U.B.O

1975

Digitized by the Internet Archive
in 2026

https://archive.org/details/IA41545814_0022

Série B
N° d'ordre : 4
N° de série : 4
C.N.R.S : A.O 12176

THÈSE

présentée

A L'UNIVERSITÉ DE BRETAGNE OCCIDENTALE

U.E.R. SCIENCES DE LA MATIÈRE ET DE LA MER

pour obtenir le grade de

DOCTEUR-INGÉNIEUR

par

Alexis BERVAS

Ingénieur C.N.A.M

Étude et réalisation d'un générateur de fonctions programmable

---

Soutenue le 16 décembre 1975 devant la Commission d'Examen

Président : M.R.GÉNIN Professeur à l'U.B.O

Examinateurs : M.E.RIAUX Professeur à l'Université de Rennes I

: M.G.SAVARY Maître de Conférences à l'U.B.O

1975

UNIV.
LEIDEN
BIBL.

A ma mère,
à ma femme.

Ce travail a été effectué au Laboratoire d'Electronique de la Faculté des Sciences de Brest sous la direction de Monsieur le Professeur R. GENIN ; je tiens à lui exprimer toute ma reconnaissance pour l'aide qu'il m'a apportée tout au long de la réalisation de cette thèse.

Je remercie Madame J. GENIN, Professeur à l'Université de Bretagne Occidentale, pour sa précieuse collaboration.

Monsieur le Professeur RIAUX de l'Université de Rennes et Monsieur SAVARY, Maître de Conférences à l'Université de Bretagne Occidentale m'ont fait l'honneur de venir juger ce travail ; je suis heureux de leur exprimer mes sincères remerciements.

Je remercie bien amicalement tous les membres du laboratoire grâce auxquels j'ai pu exécuter ce travail dans une ambiance sympathique.

Je veux enfin remercier Madame Le Goff, Mademoiselle Berthou qui ont dactylographié cette thèse et Messieurs Marc, Castel et Coppillet qui en ont assuré l'impression.

SOMMAIRE

pages

INTRODUCTION 1

CHAPITRE I : Présentation de l'appareil 3

1 - Possibilités de l'appareil 3
2 - Générateur de fonctions temporelles 3
3 - Principe de fonctionnement en générateur de fonctions $U_s = f(U_e)$ 7
4 - Schéma synoptique 9

CHAPITRE II : Le codeur 11

1 - Généralités 11
2 - Codage des nombres de 0 à 255 dans le code binaire naturel 12
3 - Codage des nombres de - 128 à + 127 dans le code des compléments à deux 17
4 - Rôle du codeur 20

CHAPITRE III : La mémoire 21

1 - Généralités 21
2 - Mémoire de 64 bits à lecture et écriture... 22
3 - Mémoire de 256 mots de 8 bits 30
4 - Caractéristiques de la mémoire 37

CHAPITRE IV : Conversion digitale-analogique 39

1 - Convertisseurs digitaux-analogiques 39
2 - Convertisseurs D.A.C. 315-8 40

CHAPITRE V : Interpolation linéaire 45

1 - Interpolation entre deux points de rupture. 45
2 - Soustracteur binaire 46
3 - Registre à décalage 47
4 - Convertisseur digital-analogique multiplieur 49
5 - Fonctionnement du système d'interpolation... 50
6 - Schéma du système de conversion et d'interpolation 52

CHAPITRE VI : Stockage des fonctions sur bande magnétique 53

1 - Enregistrement des mots-mémoire sur bande magnétique 53
2 - Lecture de la bande magnétique 57
3 - Schéma général 64

CHAPITRE VII : Réalisation du générateur de fonctions y = f(x) 65

1 - Quantification et codage de x et y 65
2 - Inscription des mots en mémoire 68
3 - Lecture de la mémoire 70
4 - Remarque 71
5 - Fonctionnement du convertisseur analogique-digital 71

CHAPITRE VIII : Les générateurs 79

1 - Générateur de signaux en dents de scie 79
2 - Générateur de signaux carrés 85
3 - Multivibrateur 1 000 Hz 86

CHAPITRE IX : Commande générale 89

1 - Principaux modes d'utilisation 89
2 - Les différentes commandes 90
3 - Utilisation de l'appareil 93

CHAPITRE X : Réalisation et applications 109

1 - Réalisation 109
2 - Quelques résultats 109
3 - Application au calcul analogique 115

CONCLUSION 135

Annexe 137

Bibliographie

Planches hors texte

INTRODUCTION

La majorité des générateurs de fonctions, utilisés pour engendrer une tension de sortie U_s fonction d'une tension d'entrée U_e, sont réalisés à l'aide d'un ensemble de diodes et d'amplificateurs opérationnels. Le principe général consiste à approcher la fonction $U_s = f(U_e)$ par une succession de segments de droite (figure I). Les points de rupture et la pente des différents segments sont choisis suivant la fonction à engendrer et sont réglés en pratique par des potentiomètres [1], [2].

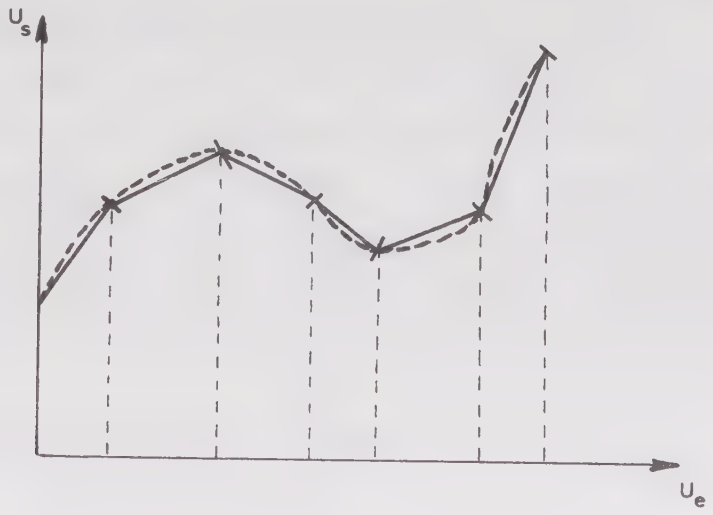


Figure I

Ce type de générateurs présente un certain nombre de limitations et d'inconvénients.

- Les points de rupture doivent être séparés d'au moins 0,2 V pour bien différencier les deux états des diodes : état bloqué et état passant.

- Le nombre de points de rupture est également limité par la complexité et le prix de revient du matériel qui sont directement proportionnels au nombre de segments.

La stabilité en température laisse souvent à désirer, du fait de l'utilisation de diodes.

- Les réglages des différents potentiels définissant les points de rupture ou la pente des segments réagissent souvent les uns sur les autres. Ces interactions contraignent fréquemment l'utilisateur, particulièrement lorsque la courbe représentant la fonction $U_s = f(U_e)$ possède des zones à forte courbure, à opérer par approximations successives.

- Les opérations précédentes, longues et fastidieuses, doivent être recommencées chaque fois que la fonction à engendrer est modifiée.

Les générateurs de fonctions à diodes apparaissent ainsi comme des appareils relativement peu précis et d'un emploi assez incommode, c'est pourquoi nous avons réalisé un générateur de fonctions qui,tout en conservant le même principe de base, c'est-à-dire l'approximation de la courbe représentant la fonction $U_s = f(U_e)$ par des segments rectilignes, évite la plupart des inconvénients énumérés ci-dessus.

L'emploi des techniques numériques dans ce générateur permet tout d'abord d'envisager un nombre de points de rupture intervenant dans la représentation approchée de la fonction donnée, beaucoup plus grand que pour un dispositif analogique ; d'où une précision nettement supérieure. Notre appareil ne comporte aucun réglage de seuil ou de polarisation, ce qui garantit une bonne stabilité en température. Les réglages à effectuer sont d'une grande simplicité et sans interaction entre eux.

De plus, l'utilisation d'un enregistreur magnétique permet de stocker sur bande les données numériques correspondant à un grand nombre de fonctions. On peut ainsi à tout moment engendrer sans aucun réglage préalable, chacune des fonctions enregistrées.

CHAPITRE I

PRESENTATION DE L'APPAREIL

I - Possibilités de l'appareil

L'appareil réalisé permet d'engendrer une tension U_s, fonction d'une tension d'entrée U_e :

$$U_s = f\ (U_e)$$

où U_e est une fonction temporelle :

$$U_e = g\ (t)$$

Les fonctions f et g sont a priori quelconques. Un cas particulier intéressant est celui où g (t) = t ; l'appareil délivre alors un signal $U_s = f\ (t)$ de forme et de durée quelconques, périodique ou apériodique.

La première partie de notre étude a abouti à la réalisation d'un générateur de fonctions temporelles ; une modification de ce montage de base nous a ensuite permis de réaliser le générateur de fonctions $U_s = f\ (U_e)$.

II - Générateur de fonctions temporelles (Principe)

Soit une fonction U = f (t) définie sur le segment $[0, t_N]$ et soit la courbe représentative de cette fonction (figure I. 1).

Le segment $[0, t_N]$ est divisé en N intervalles égaux à Z. Les valeurs de la fonction u_0 , u_1 ... u_{N-1} aux points de rupture t_0 , t_1 , ... t_{N-1} sont stockées dans une mémoire, après avoir été quantifiées et codées : $\overline{\overline{u_0}}$, $\overline{\overline{u_1}}$, ... $\overline{\overline{u_{N-1}}}$.

Dans toute cette étude nous représenterons l'équivalent binaire ou numérique d'une valeur analogique u par $\overline{\overline{u}}$.

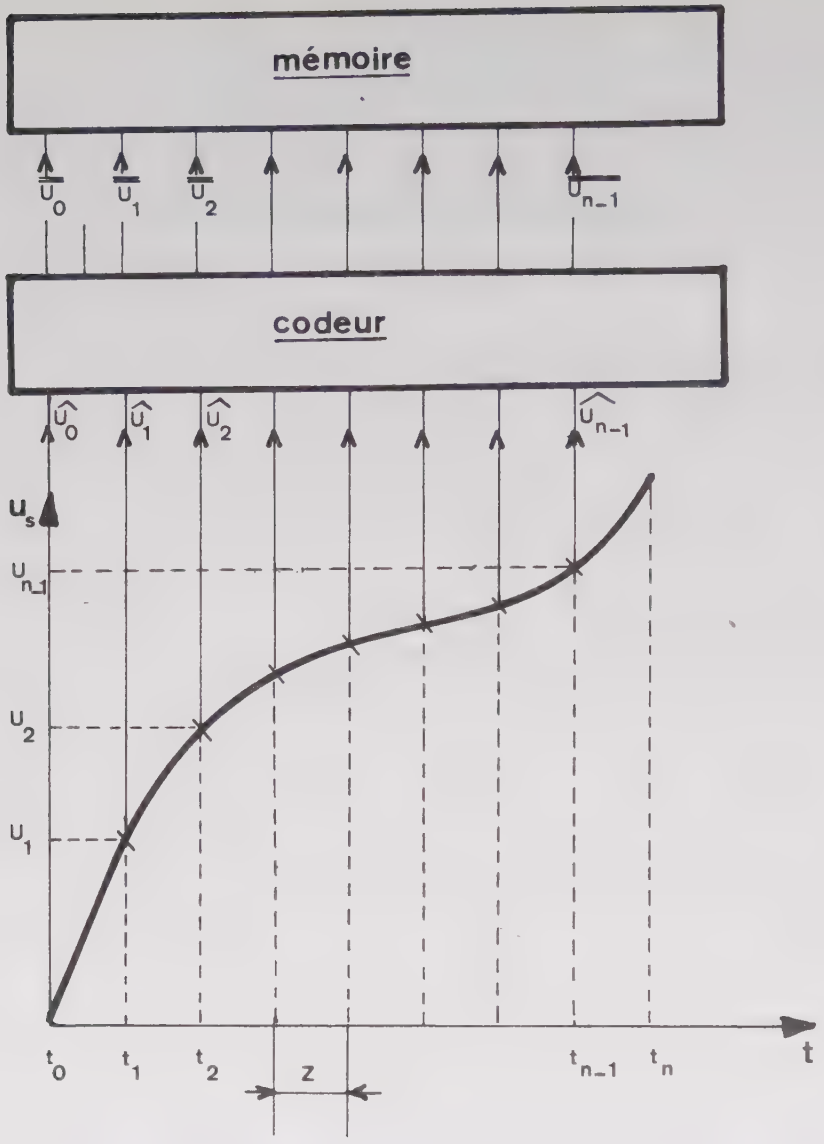


Figure I. 1

La lecture du contenu de la mémoire au rythme d'un générateur (horloge) permet, après conversion numérique-analogique, d'obtenir une première approximation de la fonction u (t) : cette première approximation revient à substituer au graphe exact de la fonction le tracé en marches d'escalier représenté en pointillés sur la figure I. 2. Une seconde approximation, qui améliore considérablement la reconstitution de la fonction, consiste à remplacer sur chaque intervalle t_i , $t_i + 1$, la courbe u (t) par une droite passant par les points de la courbe d'abscisses t_i et t_{i+1} . Cette interpolation linéaire entre deux points

d'abscisses t_i et t_{i+1} revient à écrire, en posant $\Delta t = t - t_i$ avec $0 \leqslant \Delta t \leqslant t_{i+1} - t_i$

$$u_{t_i, t_{i+1}} = u_i + \frac{u_{i+1} - u_i}{t_{i+1} - t_i} \Delta t \qquad (1)$$

On obtient ainsi le tracé représenté en traits mixtes sur la figure I.2.

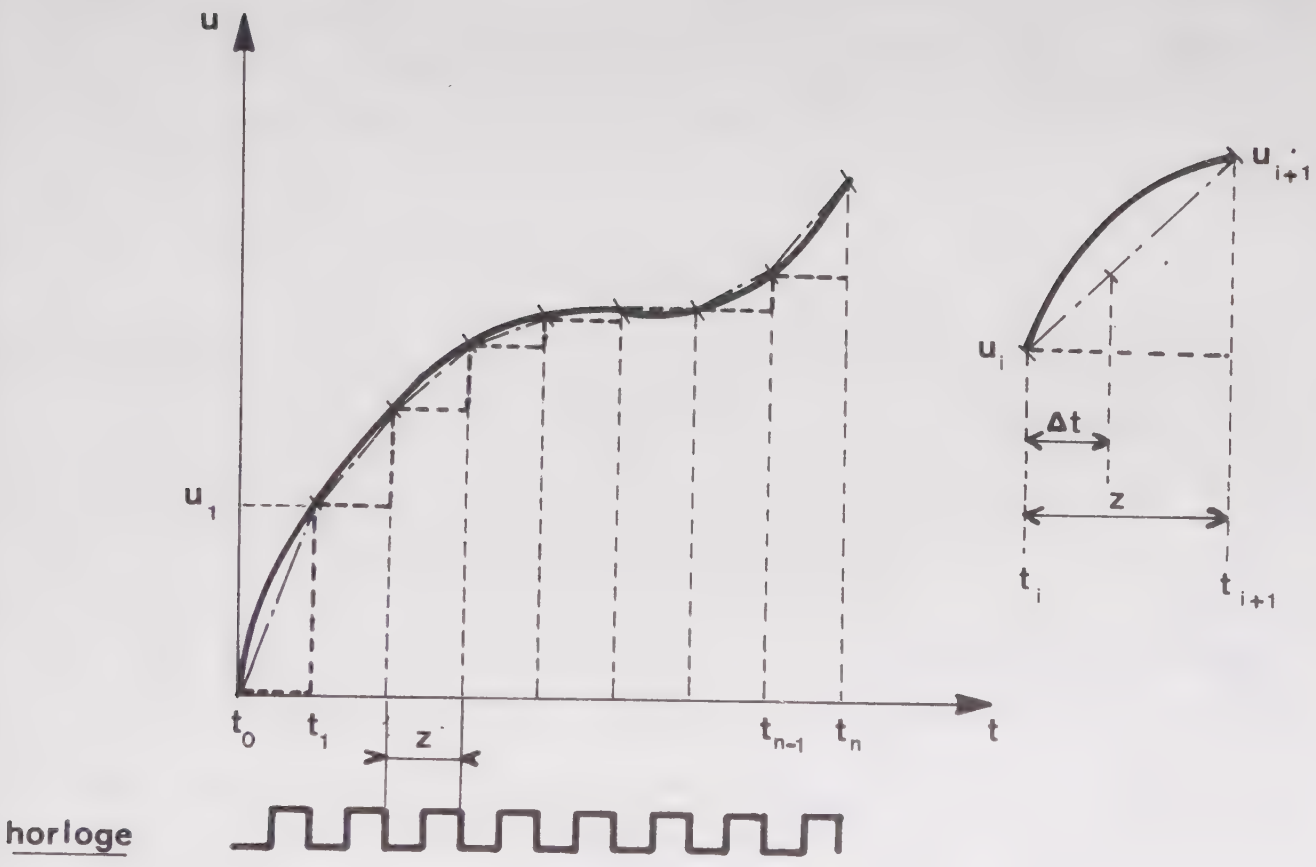


Figure I.2 U = f (t)

---- première approximation : par paliers

—·— deuxième approximation : amélioration de la courbe par interpolation linéaire.

L'interpolation linéaire est réalisée par le dispositif schématisé sur la figure I. 3.

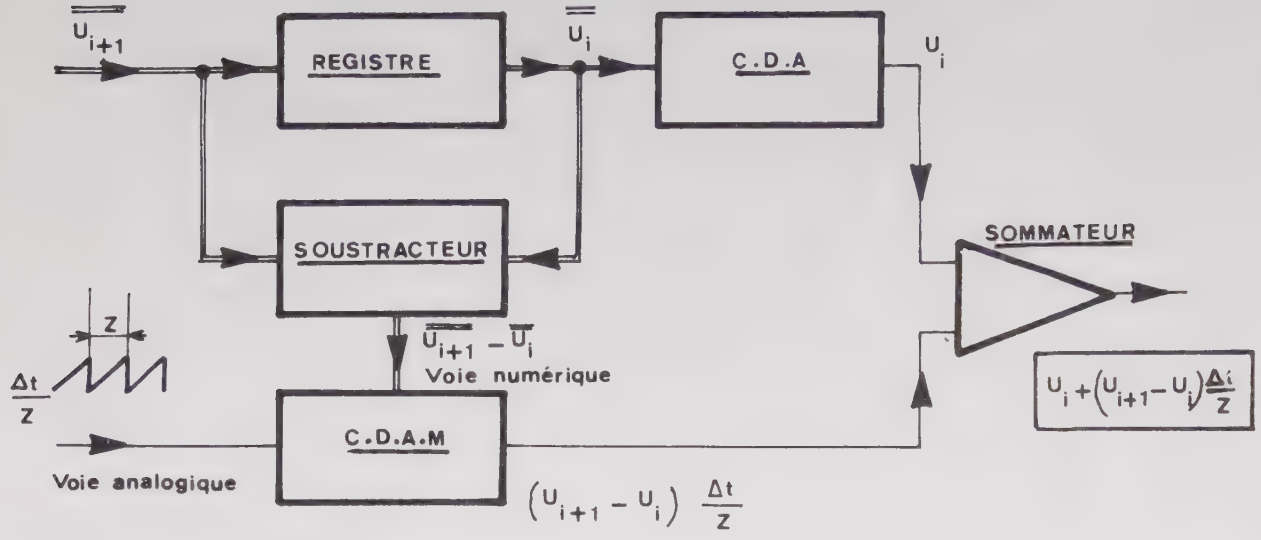


Figure I. 3

L'information issue de la mémoire est retardée d'une période d'horloge Z, à l'aide d'un registre à décalage. La sortie de ce registre fournit donc à l'instant t_{i+1} la valeur numérique $\overline{\overline{u_i}}$. A cet instant, nous disposons des deux informations $\overline{\overline{u_{i+1}}}$ et $\overline{\overline{u_i}}$ et nous pouvons en faire la différence à l'aide d'un soustracteur digital. Cette différence est appliquée sur la voie numérique d'un convertisseur digital-analogique multiplieur (C.D.A.M.), dont la voie analogique reçoit le signal $\frac{\Delta t}{t_{i+1} - t_i}$, c'est-à-dire une dent de scie de période Z et d'amplitude unité. La sortie de ce convertisseur fournit donc un signal :

$$\frac{u_{i+1} - u_i}{t_{i+1} - t_i} \Delta t$$

qui, additionné à la tension u_i élaborée par la conversion analogique du mot binaire $\overline{\overline{u_i}}$ prélevé à la sortie du registre à décalage donne, conformément à l'équation (1), le signal :

$$u_i + \frac{u_{i+1} - u_i}{t_{i+1} - t_i} \Delta t$$

représentant la fonction u (t) entre les points d'abscisses t_i et t_{i+1}.

III - Principe de fonctionnement en générateur de fonctions $U_s = f(U_e)$

Soit la fonction $U_s = f(U_e)$ où U_e est une fonction temporelle variant entre $U_{e\,max}$ et $U_{e\,min}$.

$U_{e(t)}$ est quantifiée ($\hat{U}_e$) et codée ($\overline{\overline{U}}_e$) à l'aide d'un convertisseur analogique-digital. Un exemple est représenté sur la figure I. 4 , où la tension U_e est codée dans le code binaire décalé 3 bits.

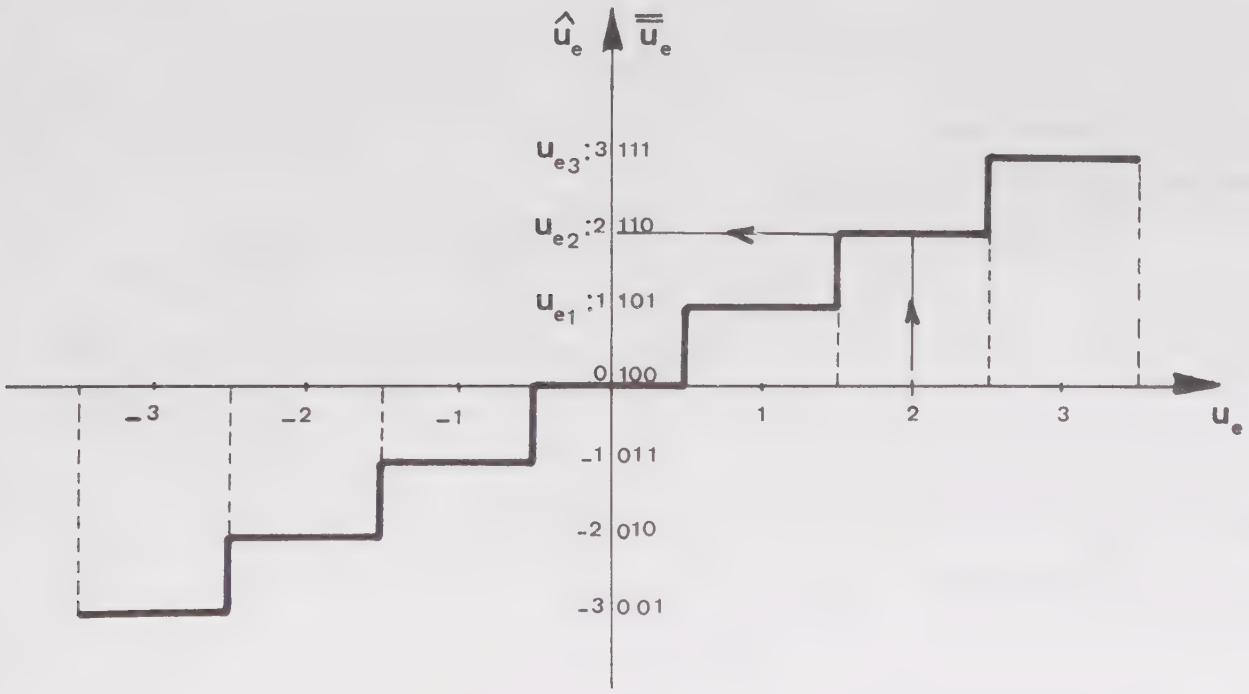


Figure I. 4

Les valeurs de la tension U_s aux points de rupture ainsi définis (figure I. 5) sont inscrites en mémoire après avoir été codées : A l'adresse $\overline{U}_{ei}$ nous inscrivons le mot binaire $\overline{\overline{U}}_{si}$. Pour lire $\overline{\overline{U}}_{si}$ il suffira de placer la mémoire en mode lecture et d'adresser $\overline{\overline{U}}_{e\,i}$.

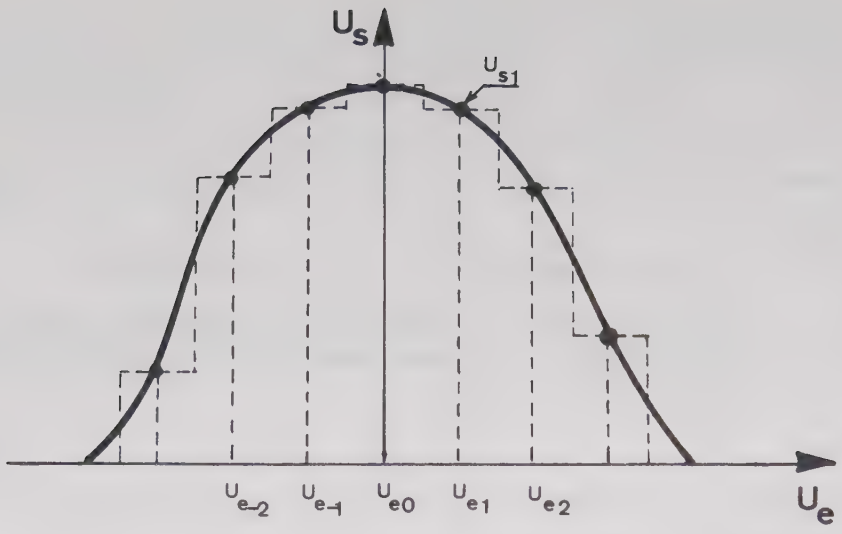


Figure I. 5

Seul le système d'adressage de la mémoire est modifié pour passer du générateur de fonctions temporelles au générateur de fonctions quelconques. (figure I. 6).

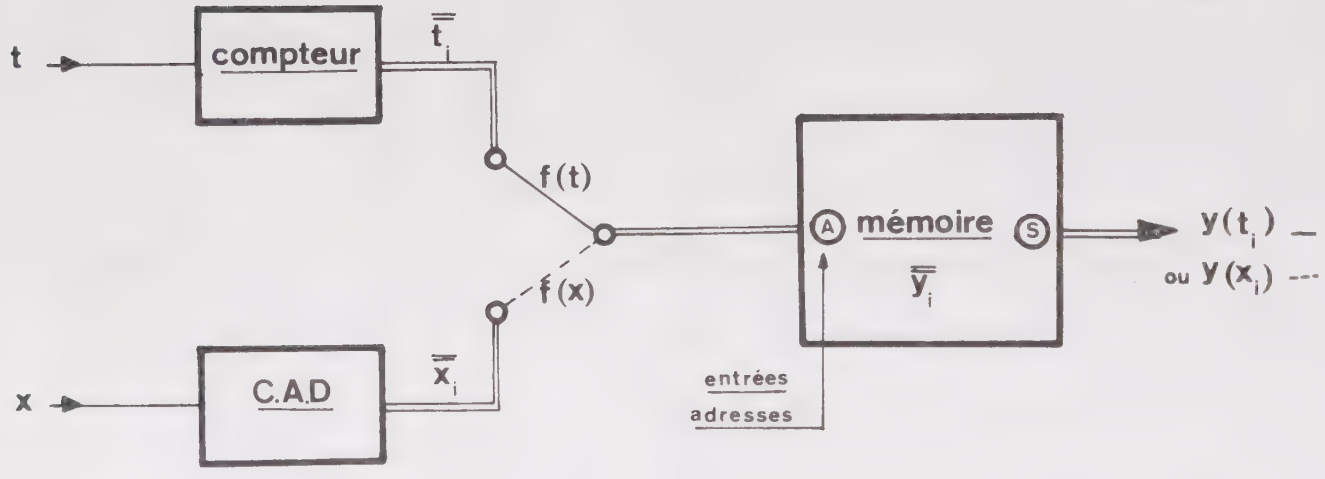


Figure I. 6

IV - Schéma synoptique du générateur

Le schéma du générateur de fonctions $U_s = f(U_e)$ est représenté planche 1. On y remarque :

- Le système de commande, utilisé pour sélectionner l'opération désirée (Lecture, écriture...) (1)
- Le codeur, qui transforme les valeurs de la tension u_0 , u_1, en mots binaires $\overline{u_0}$, $\overline{u_1}$... (2)
- La mémoire et son système d'adressage (3)
- Le système de transfert des données de la mémoire vers la bande magnétique et de la bande vers la mémoire (La cellule de base de la mémoire est une bascule R.S.T. Son contenu est détruit lors d'une suppression de la tension d'alimentation. Pour éviter d'avoir à réinscrire manuellement les données lorsque celà se produit, nous utilisons un enregistreur magnétique dont le rôle sera étudié au chapitre VI.) (4)
- Le registre et le soustracteur, qui réalisent la soustraction binaire $\overline{\overline{u_{i+1}}} - \overline{\overline{u_i}}$ (5)
- Le bloc de conversion numérique-analogique
- Le système d'interpolation linéaire (6)
- Les générateurs (7)

Dans les chapitres suivants nous étudions les différentes parties de l'appareil.

Les chapitres II, III, IV, V, VI concernent le générateur de fonctions temporelles. La réalisation du générateur de fonctions de fonction est étudiée au chapitre VII.

CHAPITRE II

LE CODEUR

I - Généralités

Le codage d'un nombre est l'opération qui consiste à écrire ce nombre sous la forme d'un groupe de caractères binaires appelés bits (abréviation de binary digit). Un nombre codé est donc une succession de ''0'' et de ''1''.

Le codeur que nous avons réalisé est un système combinatoire qui permet d'obtenir, sous forme de niveaux de tension, l'équivalent binaire d'un nombre affiché en décimal. Les ''1'' sont représentés par un niveau haut de tension ($\simeq$ 2,5V). Les ''0'' par un niveau bas (0 V) (figure II.1)

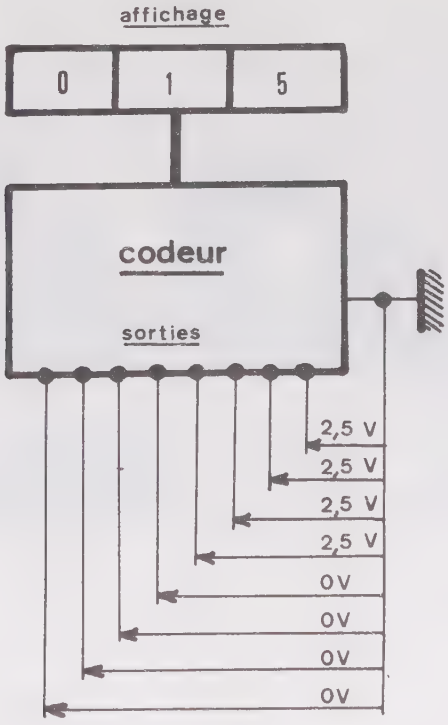


Figure II.1 Codage du nombre 015

Ces tensions sont recueillies sur 16 lignes de sortie :

- Les huit sorties C_A représentent l'équivalent, dans le code binaire naturel, du nombre décimal affiché, ce nombre pouvant être compris entre 0 et + 255.

- Les huit sorties C_B représentent l'équivalent, dans le code des compléments à deux, du nombre algébrique affiché, nombre qui peut être compris entre - 128 et + 127.

II - Codage des nombres de 0 à 255 dans le code binaire naturel

L'affichage du nombre décimal est réalisé à partir de 3 ''roues codeuses'' (centaines, dizaines, unités). Ces roues sont des codeurs à contacts dans lesquels on établit la liaison entre une et plusieurs pistes codées (figure II - 2).

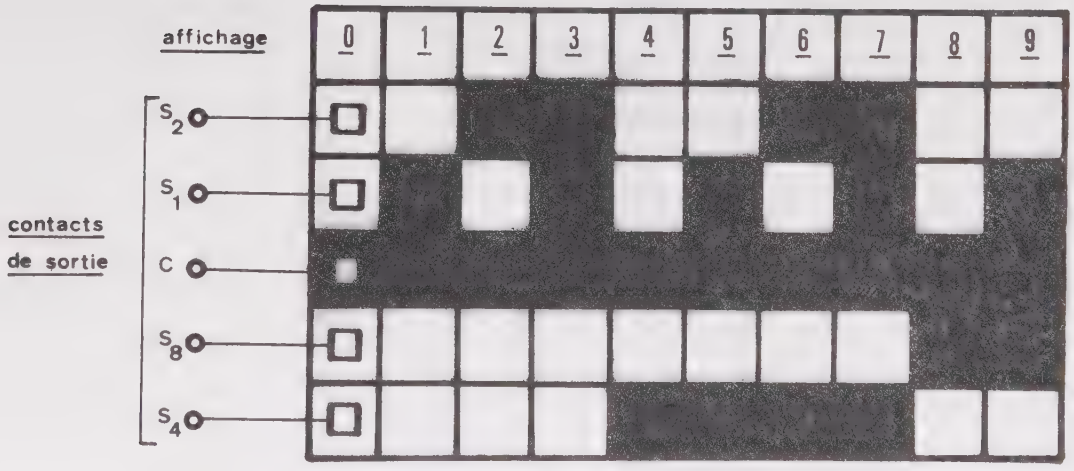


Figure II-2. roue codeuse développée

conducteur : niveau ''0''

isolant : niveau ''1''

La piste commune ''C'' est reliée à la masse. Suivant la position des contacts nous avons le tableau de fonctionnement ci-dessous.

position	S_8	S_4	S_2	S_1	$\overline{S_8}$	$\overline{S_4}$	$\overline{S_2}$	$\overline{S_1}$
0	1	1	1	1	0	0	0	0
1	1	1	1	0	0	0	0	1
2	1	1	0	1	0	0	1	0
3	1	1	0	0	0	0	1	1
4	1	0	1	1	0	1	0	0
5	1	0	1	0	0	1	0	1
6	1	0	0	1	0	1	1	0
7	1	0	0	0	0	1	1	1
8	0	1	1	1	1	0	0	0
9	0	1	1	0	1	0	0	1

Les sorties de la roue codeuse complémentées, ($\overline{S_8}$, $\overline{S_4}$, $\overline{S_2}$, $\overline{S_1}$), représentent l'équivalent binaire du nombre affiché (nombre compris entre 0 et 9).

Le codage des nombres de 0 à 255 est réalisé de la façon suivante (figure II.3).

Les sorties des inverseurs représentent l'équivalent dans le code B C D du nombre affiché. Il s'agit de transformer cette représentation en représentation binaire naturelle. Pour celà le nombre des dizaines est multiplié par 10 (1010), le nombre des centaines est multiplié par 100 (01100100), et les trois résultats partiels sont additionnés.

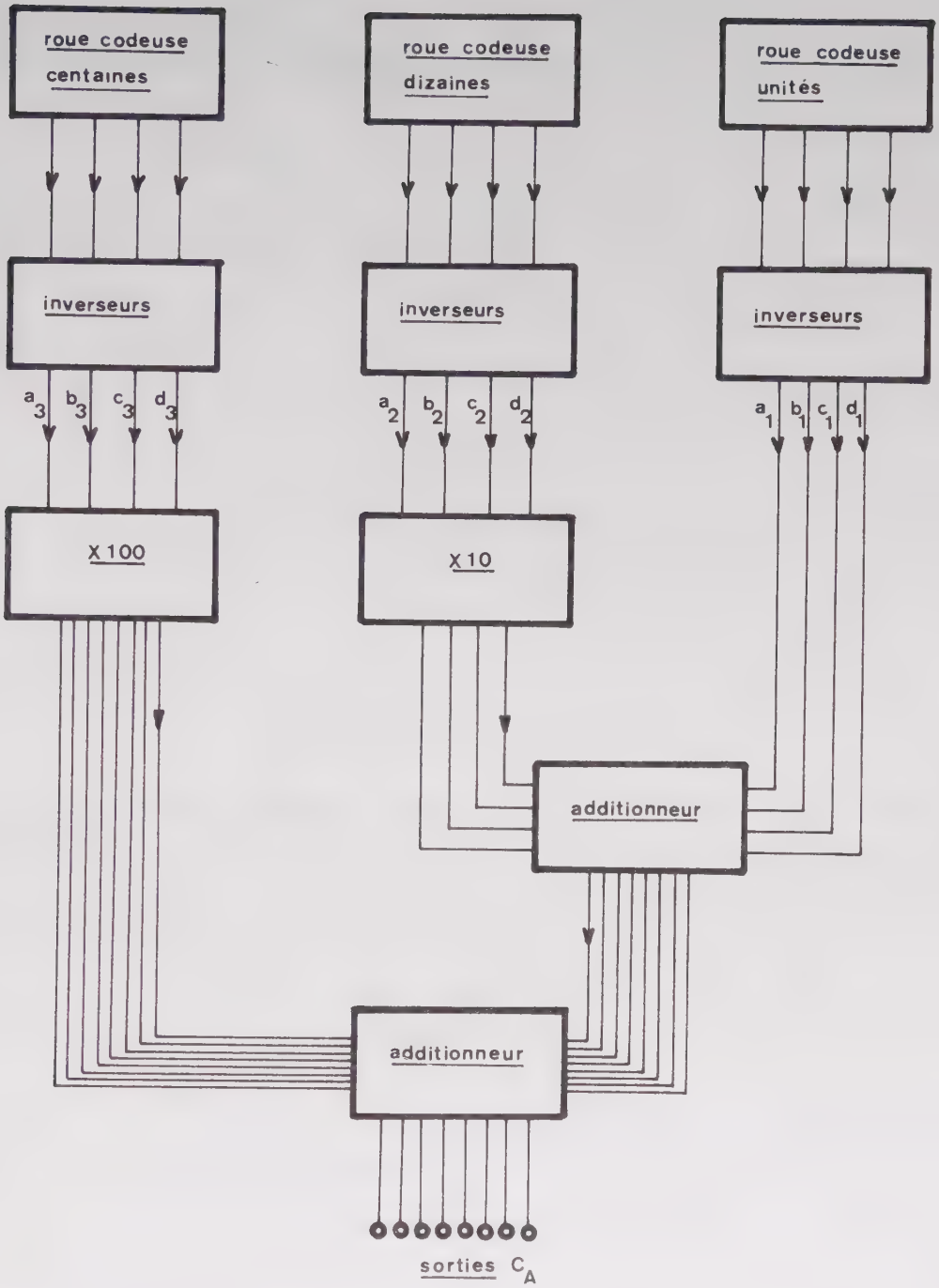
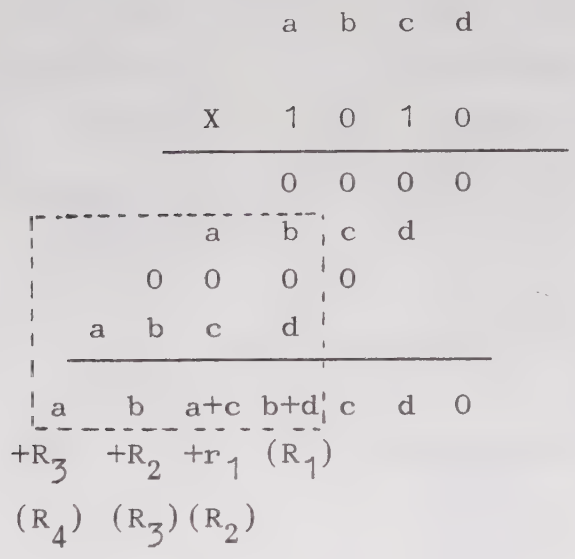

roue codeuse centaines
roue codeuse dizaines
roue codeuse unités
inverseurs
inverseurs
inverseurs
a3 b3 c3 d3
a2 b2 c2 d2
a1 b1 c1 d1
X 100
X 10
additionneur
additionneur
sorties C_A

figure II.3

II. 1 Multiplicateur par 10

Soit à multiplier par 10 (1010 en binaire naturel) le nombre binaire a b c d où a est le bit le plus significatif (B.P.S.) et d le bit le moins significatif (B.M.S.).



On constate que l'opération consiste à additionner les 2 nombres 0 0 a b et a b c d.

Elle est réalisée à l'aide d'un additionneur binaire 4 bits de type S F C 483.

Le schéma du multiplicateur par 10 est représenté figure II.4.

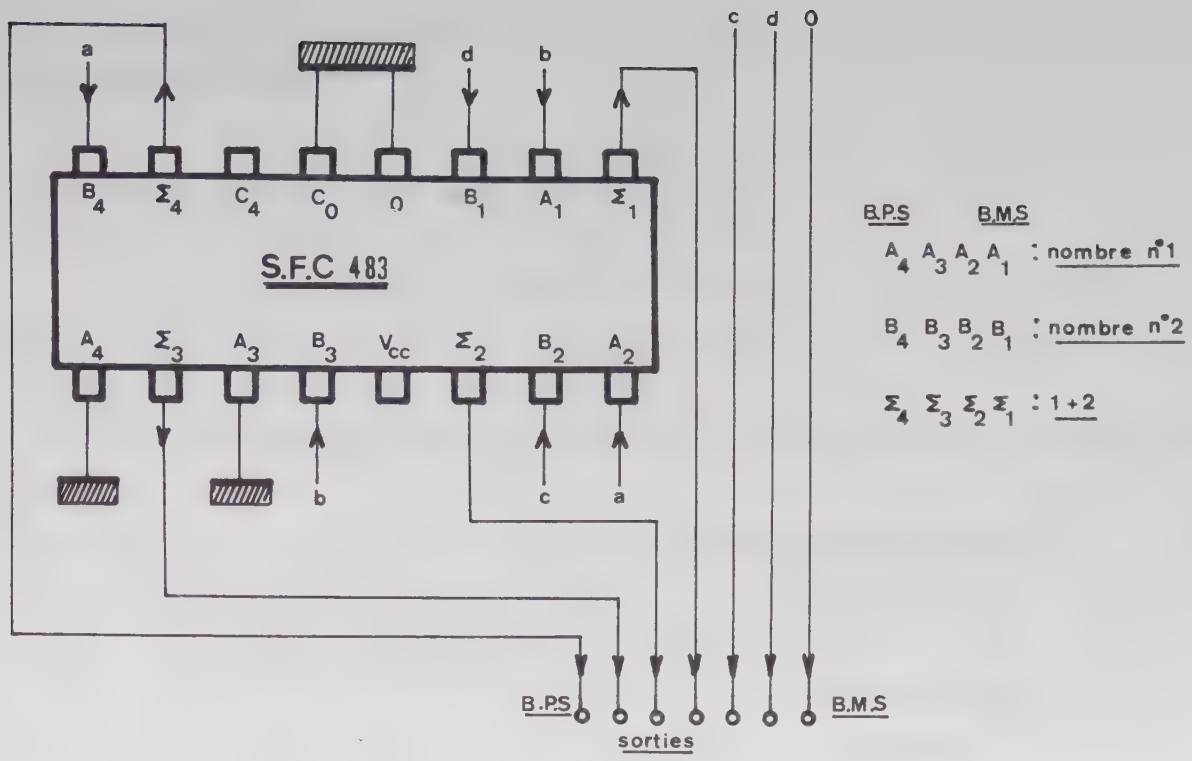


Figure II.4

II. 2 Multiplication par 100

Le chiffre des centaines, écrit sous forme binaire a_3 b_3 c_3 d_3, (figure II.3) arrive à l'entrée du multiplicateur par 100.

Les nombres codés étant compris entre 0 et 255 , c_3 et d_3 peuvent prendre les valeurs 00, 01, 10 suivant la valeur du chiffre des centaines.

Les sorties correspondantes du multiplicateur seront : 00000000 , 01100100, 11001000.

La table de vérité du multiplicateur par 100 est donc la suivante :

entrées		Sorties							
		BPS							BMS
C_3	d_3	S_8	S_7	S_6	S_5	S_4	S_3	S_2	S_1
0	0	0	0	0	0	0	0	0	0
0	1	0	1	1	0	0	1	0	0
1	0	1	1	0	0	1	0	0	0
1	1	ø	ø	ø	ø	ø	ø	ø	ø

ø = état indifférent.

Nous voyons que : $S_1 = S_2 = S_5 = 0$

$S_3 = d_3 = S_6$

$S_4 = C_3 = S_8$

$S_7 = C_3 \cup d_3$

d'où le schéma du multiplicateur par 100 (figure II.5)

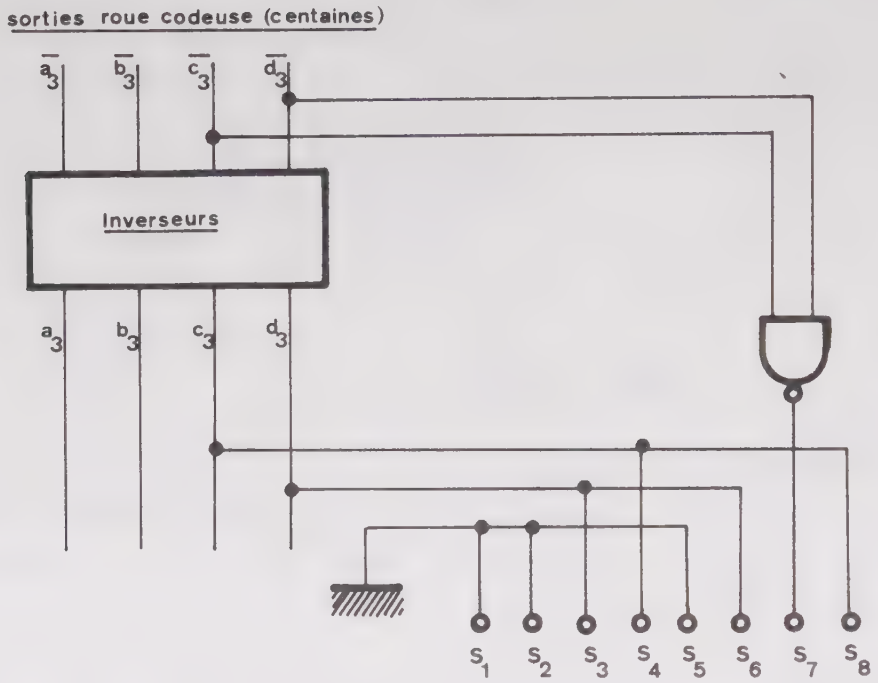


Figure II.5

II. 3 Addition générale

Elle est réalisée par deux circuits S F C 483, montés en cascade, qui additionnent deux nombres binaires de 8 bits.

Les 8 sorties C_A de cet additionneur représentent, sous forme de niveaux de tensions, l'équivalent binaire du nombre affiché sur les roues codeuses.

III - Codage des nombres de - 128 à + 127 dans le code des compléments à deux.

Il convient, pour écrire les nombres algébriques, d'utiliser un bit supplémentaire, appelé bit de signe et placé en position de bit le plus significatif (B.P.S.).

Ainsi, dans le code binaire plus signe, le chiffre 0 placé en position de B.P.S. correspond à un nombre positif, les autres bits conservent leur poids.

Le code binaire + signe est représenté ci-dessous (pour 4 bits).

Valeur décimale	Signe	Bit 1	Bit 2	Bit 3
+ 7	0	1	1	1
+ 6	0	1	1	0
+ 5	0	1	0	1
+ 4	0	1	0	0
+ 3	0	0	1	1
+ 2	0	0	1	0
+ 1	0	0	0	1
0	0	0	0	0
- 1	1	0	0	1
- 2	1	0	1	0
- 3	1	0	1	1
- 4	1	1	0	0
- 5	1	1	0	1
- 6	1	1	1	0
- 7	1	1	1	1

Figure II.6 Code binaire + signe

Nous pouvons facilement écrire les nombres compris entre - 255 et + 255 dans ce code, à l'aide des sorties C_A précédentes et d'un interrupteur qui nous permet d'afficher le signe, mais les C.D.A. que nous utilisons travaillent dans le code des compléments à deux. Nous devons transformer les mots écrits en binaire + signe en mots écrits dans le code des compléments à deux (transcodage).

Le code des compléments à deux est représenté ci-dessous (pour des mots de 3 bits + signe).

Valeur décimale	Signe	Bit 1 B.P.S.	Bit 2	Bit 3 B.M.S.
+ 7	0	1	1	1
+ 6	0	1	1	0
+ 5	0	1	0	1
+ 4	0	1	0	0
+ 3	0	0	1	1
+ 2	0	0	1	0
+ 1	0	0	0	1
0	0	0	0	0
- 1	1	1	1	1
- 2	1	1	1	0
- 3	1	1	0	1
- 4	1	1	0	0
- 5	1	0	1	1
- 6	1	0	1	0
- 7	1	0	0	1

Figure II.7 Code des compléments à 2

Les bits de signe sont identiques dans les deux codes. Les nombres positifs sont écrits de la même façon. Les nombres négatifs, dans le code des compléments à deux, sont obtenus en complémentant tous les bits du nombre positif correspondant et en ajoutant une unité.

exemple : + 7 = 0 111 - 7 = 1 000 + 1 = 1 001 dans le code des compléments à deux.

Cette remarque nous permet de réaliser le circuit de transcodage binaire + signe ⟶ complément à deux.

Soit A un nombre écrit dans le code binaire + signe ; ce nombre s'écrira $N = \overline{S}\ A\ U\ S\ (\overline{A} + 1)$ dans le code des compléments à deux où S est le bit de signe du nombre A.

Si S = 0 le nombre est positif et N = A

Si S = 1 le nombre est négatif et $N = S\ (\overline{A} + 1)$

$\overline{A}$ représente le nombre A ayant tous ses digits complémentés.

Le circuit de transcodage réalise l'opération.

$$N = \overline{S}\ A\ U\ S\ (\overline{A} + 1) = \overline{S}\ A\ U\ S\ (\overline{A} + S) = (\overline{S}\ A\ U\ S\ \overline{A}) + S$$

Il est représenté ci-dessous (figure II.8).

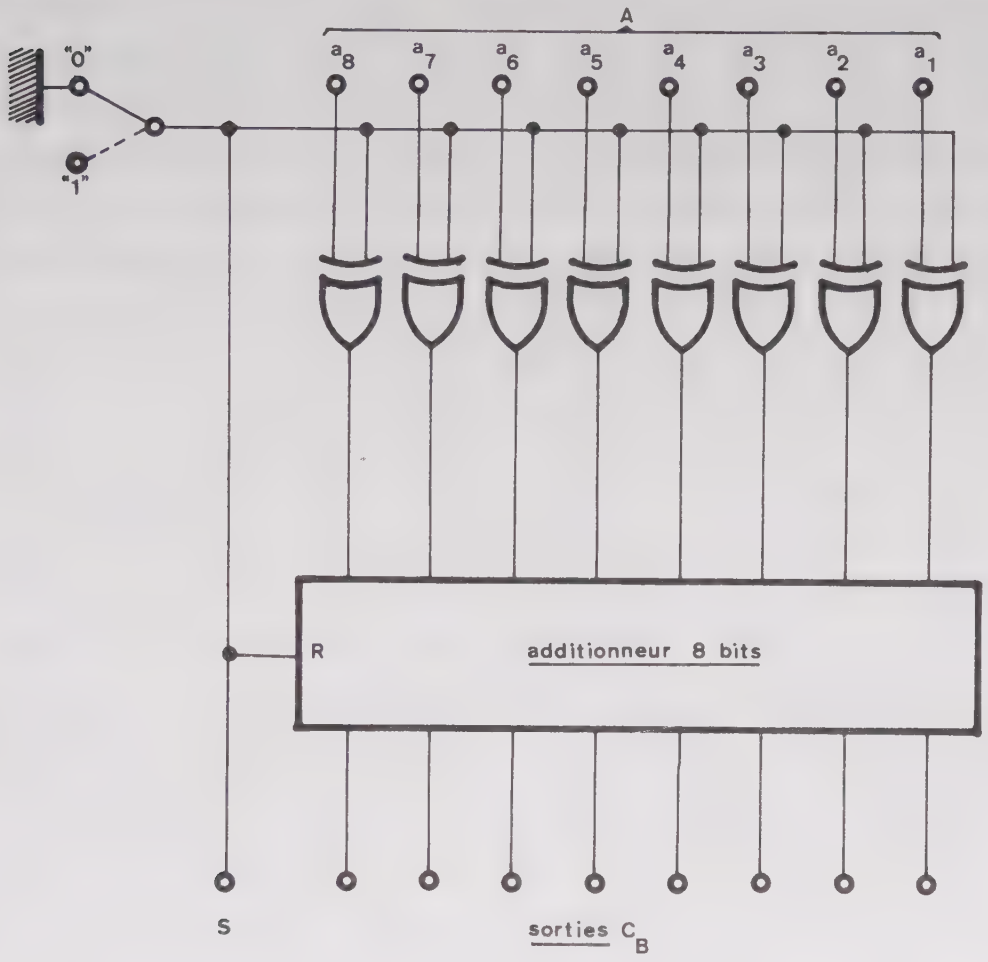


Figure II.8 Circuit de transcodage

Le bit de signe est envoyé sur l'entrée ''retenue de l'étage précédent'' de l'additionneur.

Les sorties des circuits ''ou exclusif'' sont égales à A si S = 0 et à $\overline{A}$ si S = 1.

Les sorties C_B représentent sous forme de niveaux de tension l'équivalent du nombre affiché sur les roues codeuses, ce nombre pouvant être compris entre - 255 et + 255.

Remarque : En fait nous n'utilisons que les nombres compris entre - 128 et + 127 car la mémoire n'admet que des mots de 8 bits.

Le schéma général du codeur est représenté planche 2.

IV - Rôle du codeur

Les sorties C_B du codeur sont dirigées vers les entrées ''données'' de la mémoire.

Les sorties C_A sont utilisées, associées à un comparateur binaire, pour une remise à zéro anticipée du compteur d'adresses ou pour l'inhibition de l'horloge, ce qui permet de lire une partie de la fonction f(t) comme nous le verrons dans le chapitre 9.

CHAPITRE III

LA MEMOIRE

I - Généralités

Les mémoires à tores magnétiques étaient autrefois les seuls dispositifs utilisés. Cet état de fait se modifie actuellement avec le développement des techniques d'intégration à moyenne et à grande échelle (M.S.I. et L.S.I.), à transistors bipolaires et à effet de champ, qui permettent de réaliser des mémoires plus rapides d'accès, moins encombrantes et de consommation moindre [3] ., [4] .

Pour les mémoires à faible capacité et grande vitesse d'accès la technologie la plus souvent retenue est la technologie T.T.L. dont la cellule élémentaire est constituée par un bistable à deux transistors multiémetteurs. Ces mémoires conservent l'état qui leur a été imposé par l'information d'écriture aussi longtemps qu'un phénomène extérieur (écriture d'une nouvelle information ou interruption de l'alimentation) n'intervient pas pour en modifier le contenu. C'est la technologie que nous avons retenue pour notre réalisation.

Nous désirons une mémoire de 256 mots de 8 bits à lecture et écriture de l'information codée en parallèle.

Plusieurs solutions sont possibles, et parmi celles ci :

- l'utilisation de 8 mémoires de 256 mots de 1 bit.
- l'utilisation de 32 mémoires de 16 mots de 4 bits.

La première solution semble la plus élégante, mais le constructeur nous l'a pour l'instant déconseillée (difficultés de fabrication des mémoires 256 X 1 bits).

L'ensemble mémoire est donc réalisé à l'aide de 32 circuits intégrés SFC 489 (Mémoire de 16 mots de 4 bits).

II - Mémoire de 64 bits à lecture et écriture

II.1 Principe de fonctionnement d'une mémoire à bascule

Considérons la bascule R.S.T. qui est la cellule de base du circuit SFC 489 (figure III.1).

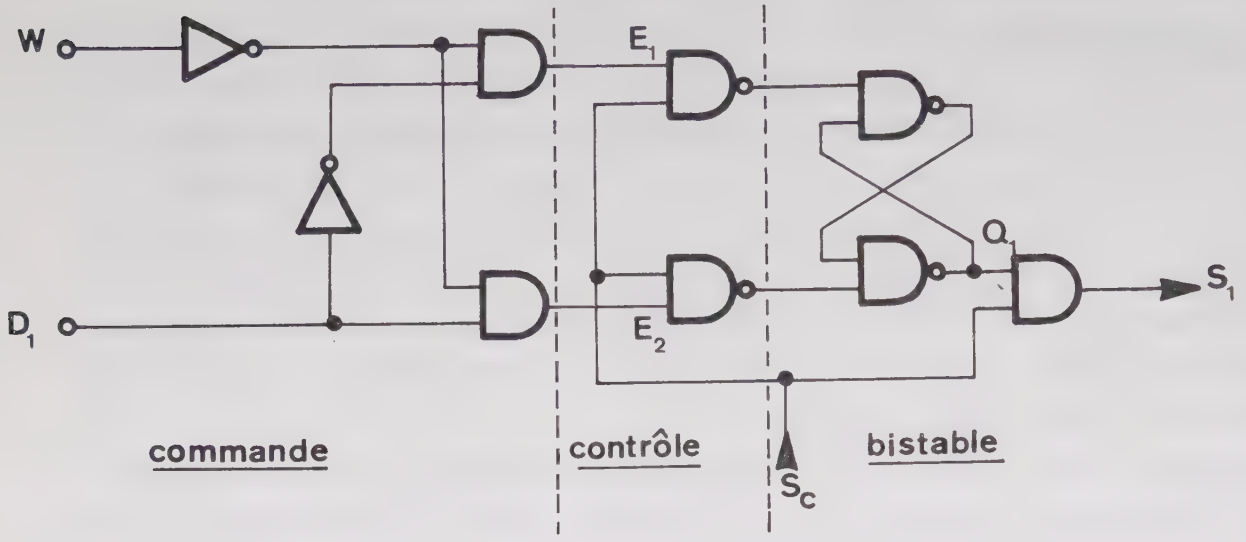


Figure III.1

Les portes de contrôle reçoivent les signaux :

$$E_1 = \overline{W}.\overline{D_1}$$

$$E_2 = \overline{W}.D_1$$

et l'horloge : S_c.

Une porte ''ET'' permet de prendre en compte l'information présente en Q_1 et de la diriger vers la sortie quand S_c est au niveau haut, ou de la bloquer en Q_1 quand $S_c = 0$.

Fonctionnement

a) W = 0 $E_1 = \overline{D_1}$ et $E_2 = D_1$. Alors $Q_1 = E_2 = D_1$, à l'apparition du signal d'horloge. Q_1 restera égale à D_1 à la disparition de ce signal.

b) W = 1 $E_1 = E_2 = 0$. Les sorties de la bascule restent dans l'état précédant l'apparition du signal d'horloge.

Nous voyons donc que :

Pour enregistrer un bit, W doit être au niveau bas ; au top d'horloge la sortie de la bascule reproduit l'information présente à l'entrée D_1.

A la lecture, W est mis au niveau haut, les sorties conservent l'état qui leur a été imposé par l'opération d'écriture.

La figure III.2 représente une séquence d'écriture et de lecture.

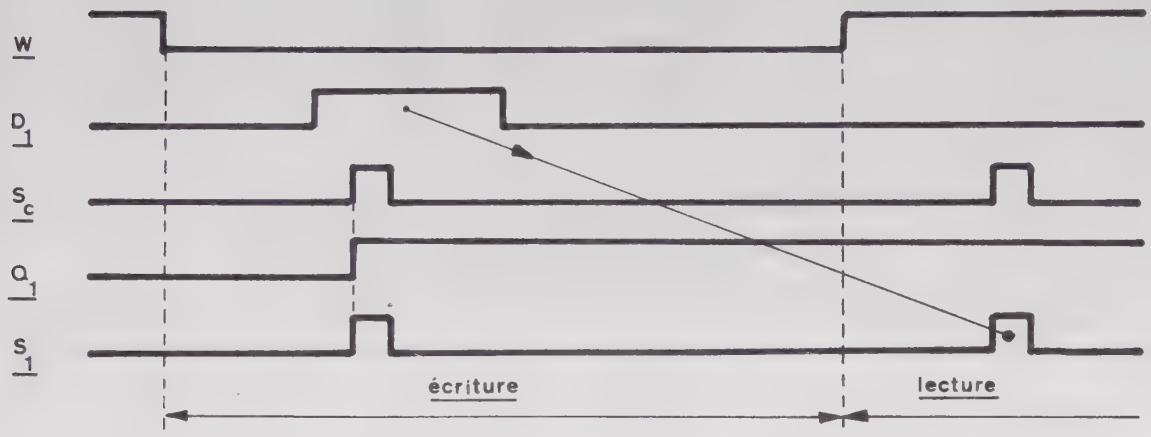


Figure III.2

II.2 Mémoire vive de 16 mots de 4 bits

II.2.1 Description

Le groupement, sous forme matricielle, de 64 cellules élémentaires identiques à celles que nous venons d'étudier, permet de réaliser une mémoire de 16 mots de 4 bits ; c'est ce qui est fait dans le circuit SFC 489 (figures III.3 et III.4).

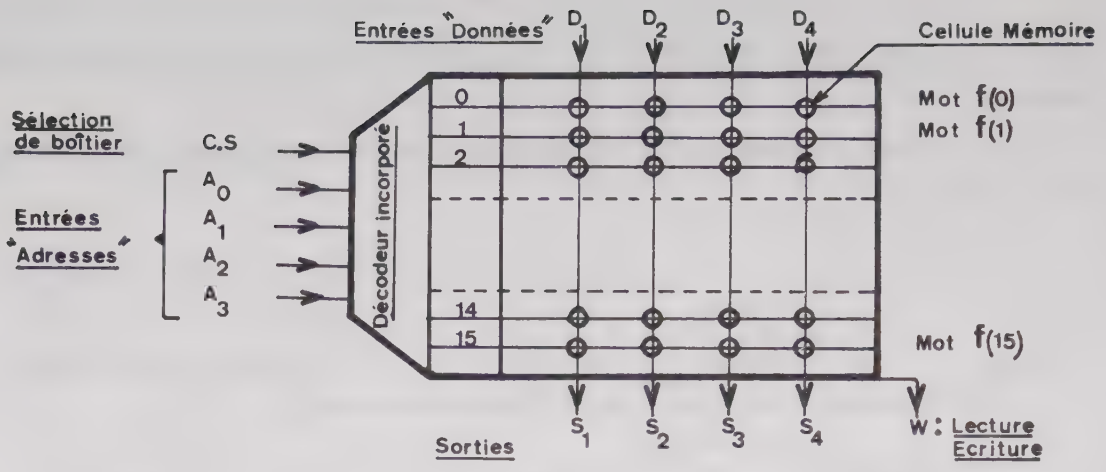


Figure III.3

Montée dans un boîtier D.I.L. de 16 broches, la mémoire SFC 489 est une mémoire à lecture-écriture comportant :

- 64 cellules R.S.T.
- Un décodeur de 4 voies vers 16
- Des amplificateurs de lecture et d'écriture
- 4 entrées ''adresses'' A_0 A_1 A_2 A_3 et une entrée sélection de boîtier CS
- 4 sorties S_1 S_2 S_3 S_4
- 1 entrée ''commande de lecture ou d'écriture'' W.

II.2.2. Fonctionnement

a) écriture Les entrées W et CS sont mises à zéro. Les sorties d'un compteur binaire 4 bits sont appliquées aux entrées d'adresses A_0 A_1 A_2 A_3. Le décodeur incorporé, dont la table de fonctionnement est donnée figure III.5 valide successivement les bascules des lignes 0, 1, 2... 15, en leur envoyant un signal d'horloge.

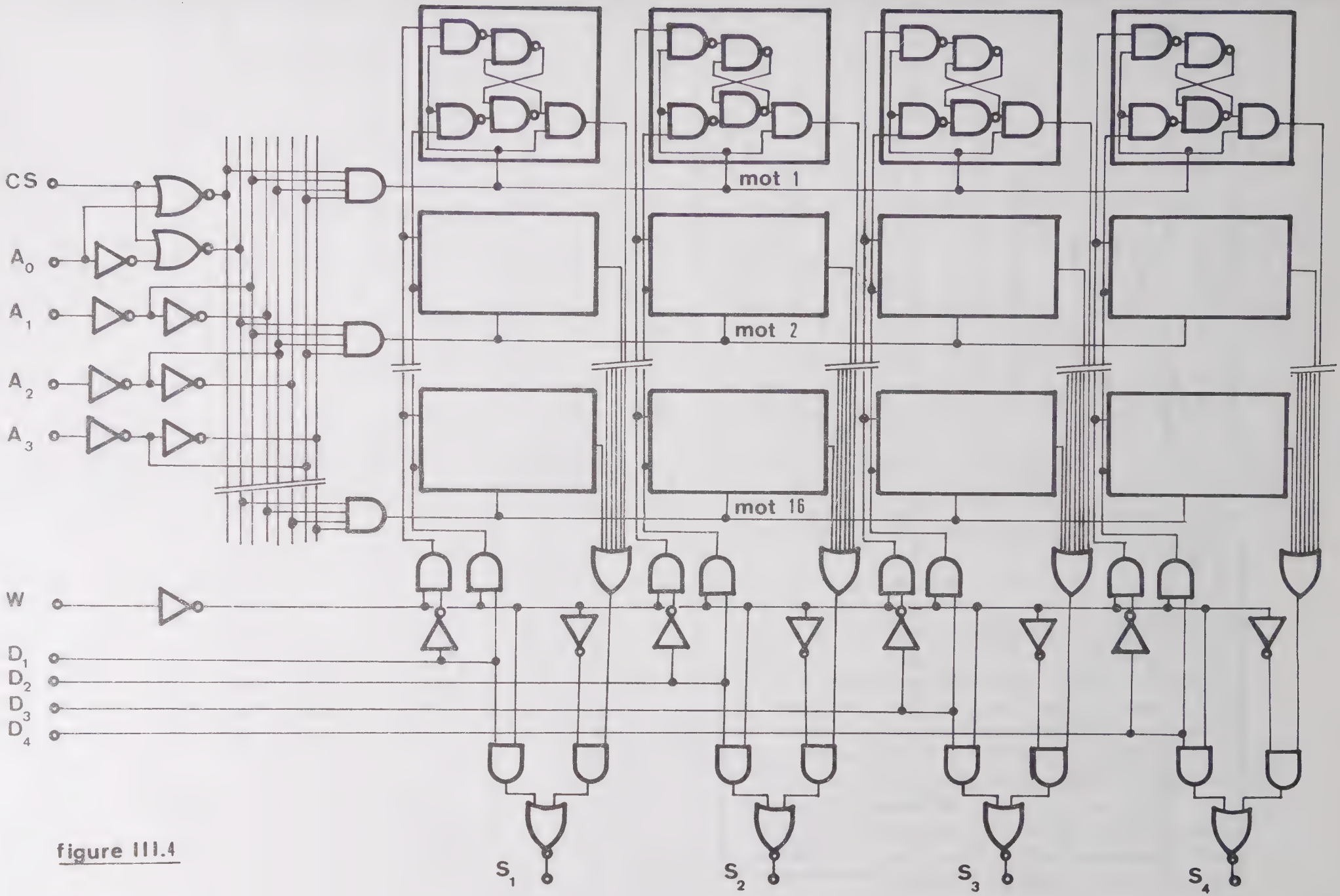


figure III.4

A_3	A_2	A_1	A_0	CS	niveau haut sur ligne n° :
0	0	0	0	0	0
0	0	0	1	0	1
0	0	1	0	|	2
0	0	1	1	|	3
0	1	0	0	|	4
0	1	0	1	|	5
0	1	1	0	|	6
0	1	1	1	|	7
1	0	0	0	|	8
1	0	0	1	|	9
1	0	1	0	|	10
1	0	1	1	|	11
1	1	0	0	|	12
1	1	0	1	|	13
1	1	1	0	|	14
1	1	1	1	0	15
ø	ø	ø	ø	1	aucune

ø = état indifférent

Figure III.5

L'entrée du compteur est alimentée par un signal engendré manuellement à l'aide d'un système à bouton-poussoir.

Le mot à inscrire est appliqué sous forme de niveaux de tension aux entrées D_1 D_2 D_3 D_4. D_1 est dirigée vers les bascules de la colonne 1, D_2 vers les bascules de la colonne 2, etc...

D_1 sera inscrite dans la bascule de la colonne 1 qui reçoit un signal d'horloge (sortie du décodeur).

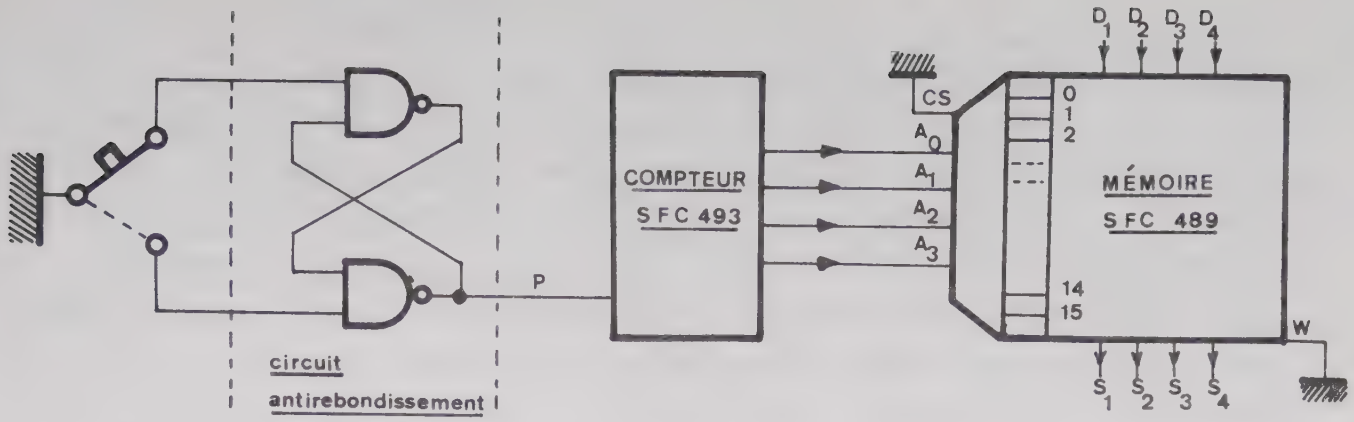
D_2 sera inscrite dans la bascule de la colonne 2 qui reçoit un signal d'horloge c'est-à-dire sur la même ligne que D_1.

Ainsi le i^e mot est inscrit sur la $i^{ème}$ ligne.

La figure III.6 représente le schéma du montage et la séquence d'écriture.

Cette figure nous permet de constater que lorsque CS est à zéro, il y a toujours une sortie du décodeur à l'état haut ; ceci entraîne un mauvais fonctionnement des bascules RST, et donc des erreurs dans l'écriture des mots mémoire, comme nous allons le constater.

Entre t_0 et t_1 la ligne 0 est à un niveau haut. Le mot binaire présent sur les entrées données (D_{40}, D_{30}, D_{20}, D_{10}) est inscrit dans les bascules de la ligne 0 (Mot 0).


circuit
antirebondissement
P
COMPTEUR
SFC 493
CS
A0
A1
A2
A3
MÉMOIRE
SFC 489
0
1
2
14
15
W
D1 D2 D3 D4
S1 S2 S3 S4

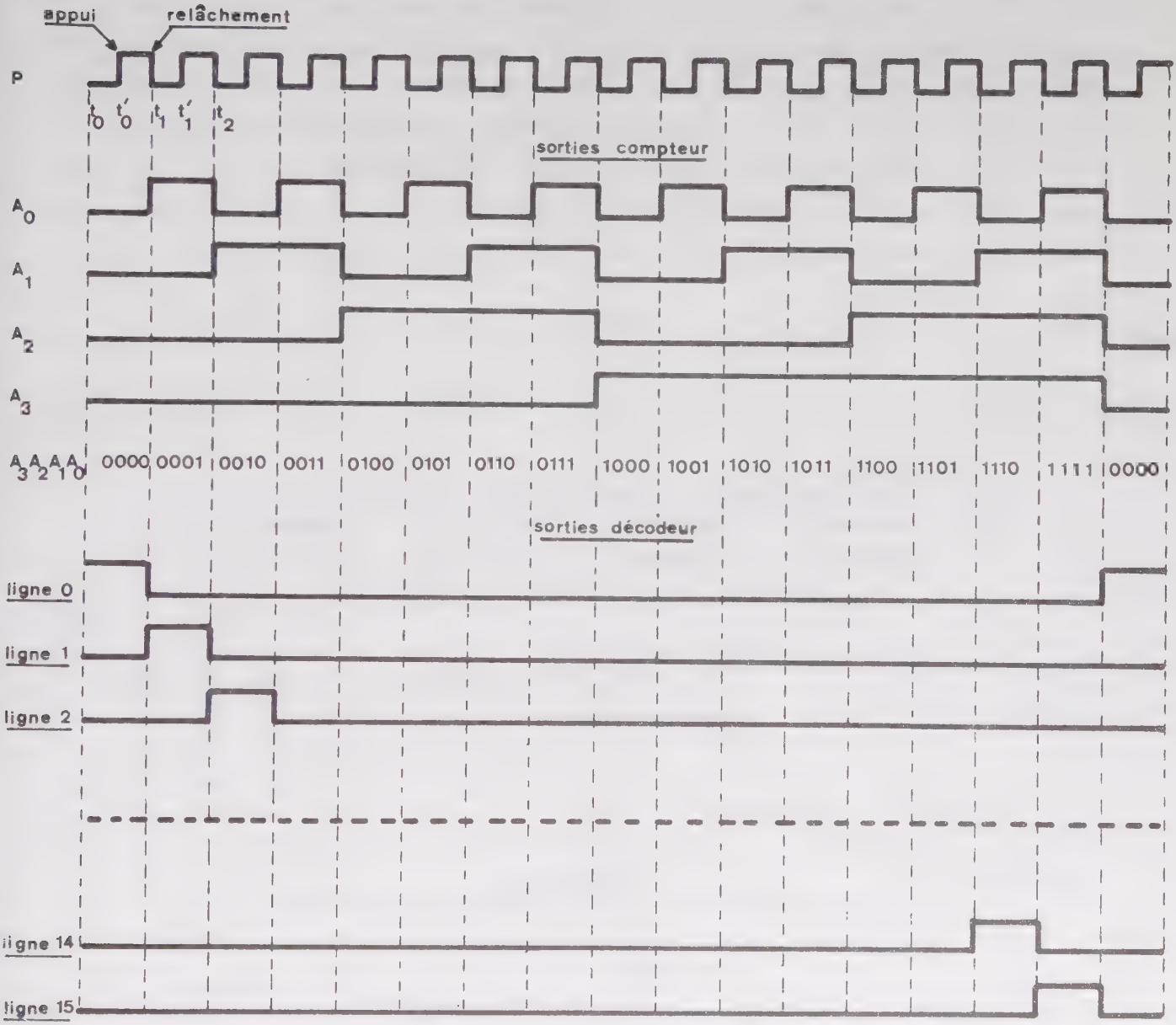

appui
relâchement
P
t0 t'0 t1 t'1 t2
sorties compteur
A0
A1
A2
A3
A3A2A1A0 0000 0001 0010 0011 0100 0101 0110 0111 1000 1001 1010 1011 1100 1101 1110 1111 0000
sorties décodeur
ligne 0
ligne 1
ligne 2
ligne 14
ligne 15

figure III.6

Entre t_1 et t_2 les bascules de la ligne 1 reçoivent un signal d'horloge. Pour inscrire le 2e mot en mémoire, il faut appliquer aux entrées D_1 D_2 D_3 D_4 les niveaux de tension correspondant à ce deuxième mot (D_{41}, D_{31}, D_{21}, D_{11}). On s'aperçoit que les signaux d'entrée des bascules de la ligne 1 vont changer en présence d'un signal d'horloge, ce qui correspond à un fonctionnement anormal des bascules R.S.T., et peut entraîner des erreurs.

Pour pallier cet inconvénient un temps est réservé, pendant lequel aucune bascule de la mémoire ne reçoit de signal d'horloge. Pour celà il faut placer C.S. à l'état haut, c'est ce que nous faisons dans la position repos du bouton-poussoir.

Comme le montre la figure III.7, tant que l'on n'appuie pas sur le bouton-poussoir, C.S. est à ''un'' et toutes les bascules sont isolées. On peut donc changer à volonté les données D_1, D_2, D_3, D_4.

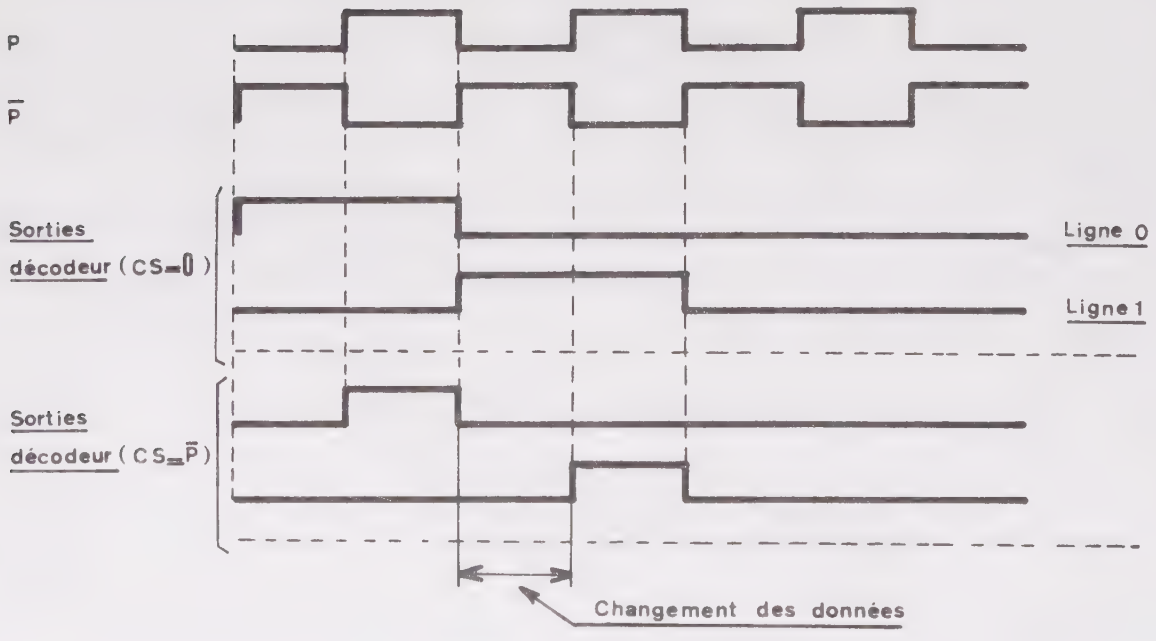


Figure III.7

b) Lecture

W est positionné à l'état haut. Le bouton-poussoir est remplacé par un générateur qui attaque l'entrée du compteur d'adresses. Pour lire les mots de façon continue, il faut que C S soit constamment à l'état bas. Le signal appliqué à l'entrée ''sélection de boîtier'' sera donc, compte tenu de ce que nous avons dit précédemment,

$$C.S. = \overline{W}.\overline{P}$$

quand W = 1 CS est constamment à zéro et les 16 sorties du décodeur passent successivement à l'état haut. Les entrées des différentes bascules sont à zéro et leurs sorties restent dans l'état initial, c'est-à-dire reproduisent les bits qui y ont été inscrits lors de la phase écriture.

La séquence de lecture est représentée figure III.8.

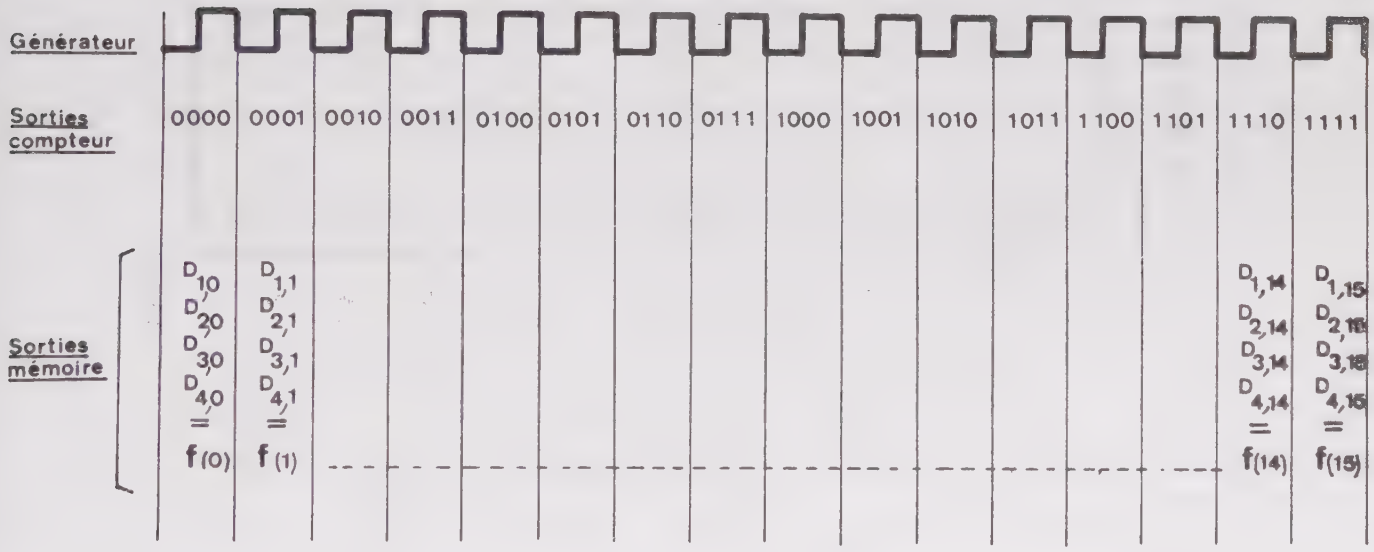


Figure III.8

En résumé nous dirons que :

à l'écriture W = 0 CS = $\overline{P}$

Les données (valeurs de la fonction aux points de rupture) sont inscrites à l'aide d'un système à bouton-poussoir.

à la lecture W = 1 CS = 0

Le contenu de la mémoire est lu au rythme d'un générateur.

La lecture d'un mot ne le détruit pas.

III - Mémoire de 256 mots de 8 bits

Un groupement judicieux de circuits SFC 489 va nous permettre de réaliser une mémoire de 256 mots de 8 bits. Auparavant nous verrons comment réaliser une mémoire de 16 mots de 8 bits, puis une mémoire de 32 mots de 4 bits.

III. 1 Mémoire de 16 mots de 8 bits

On couple deux circuits SFC 489 de façon que les entrées A_0, A_1, A_2, A_3 CS soient communes et que les entrées D_1 D_2 D_3 D_4 et les sorties S_1 S_2 S_3 S_4 soient distinctes (figure III. 9).

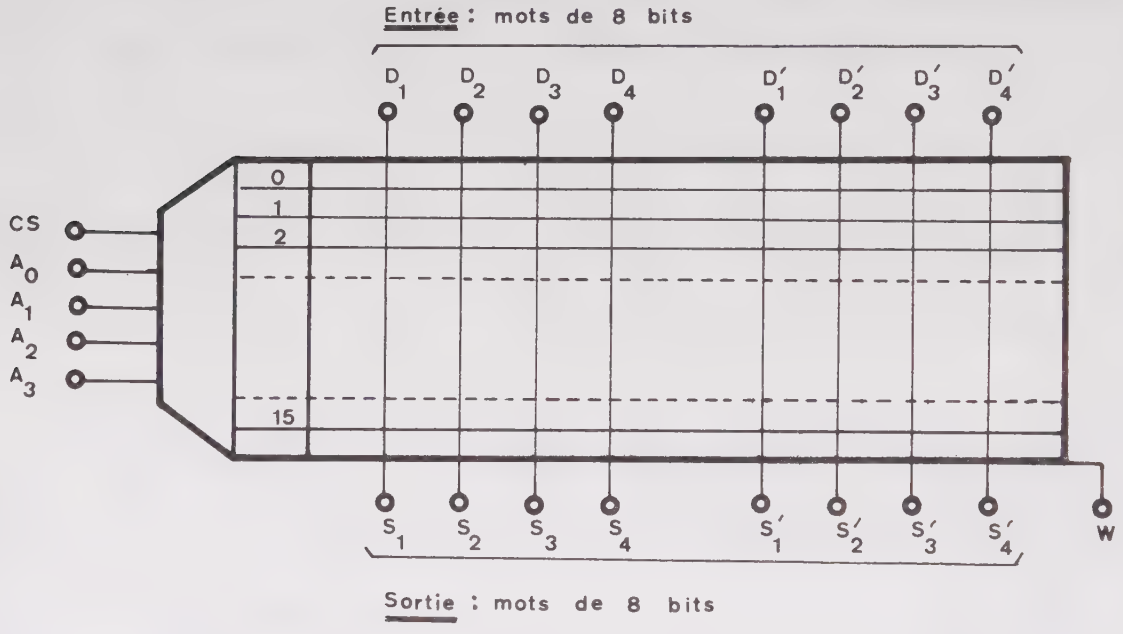


Figure III.9

III. 2 Mémoire de 32 mots de 4 bits

Elle est réalisée selon le schéma ci-dessous :

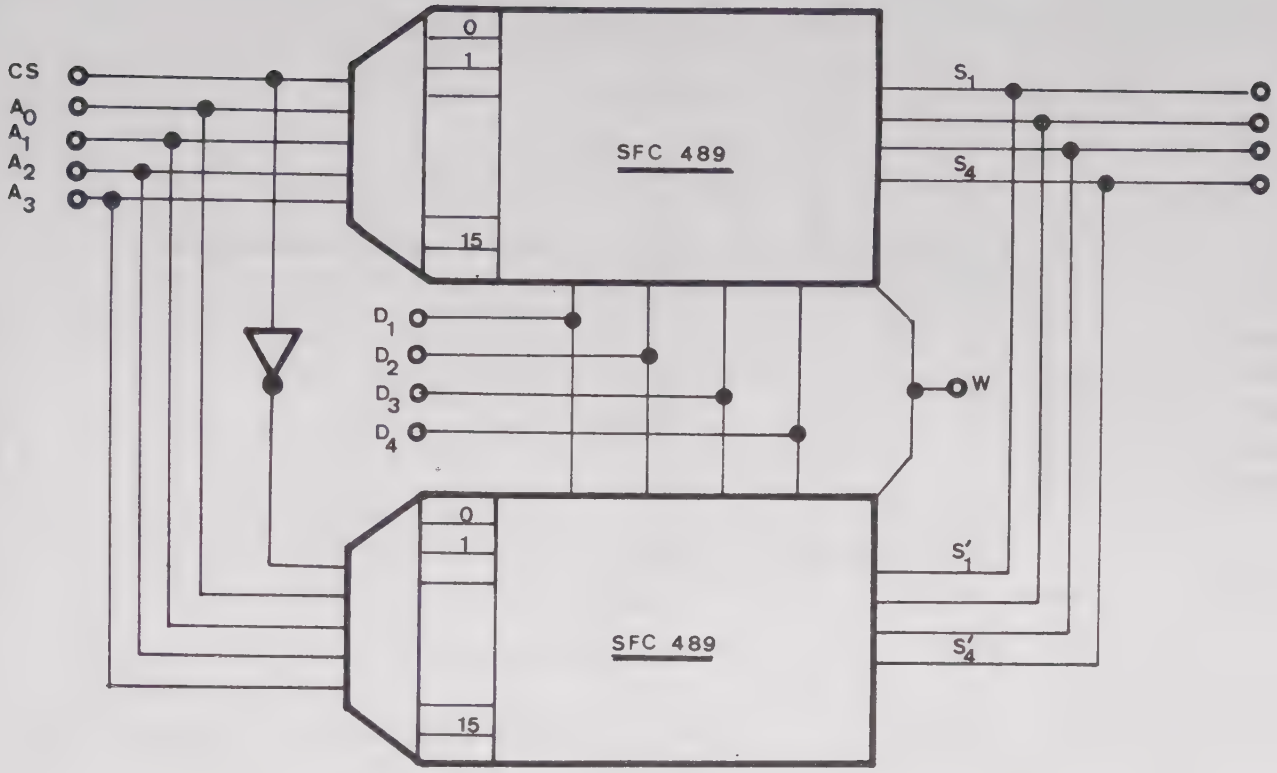


Figure III. 10

Les entrées ''adresses'', ''données'' et ''W'' des deux boîtiers sont communes.

Le premier circuit reçoit le signal C S et ses bascules sont validées quand C S = 0 ; le deuxième reçoit $\overline{C\ S}$ et ses bascules sont validées quand C S = 1. il est donc possible d'utiliser les 32 lignes de la mémoire ainsi formée.

Les sorties des deux boîtiers sont réunies en ''ou cablé'', opération rendue possible par le fait que les sorties des deux mémoires se font à ''collecteur ouvert''.

III. 3 Mémoire de 256 mots de 8 bits

III. 3. 1 Réalisation

Elle nécessite 32 circuits SFC 489 groupés comme l'indique la figure III.11.

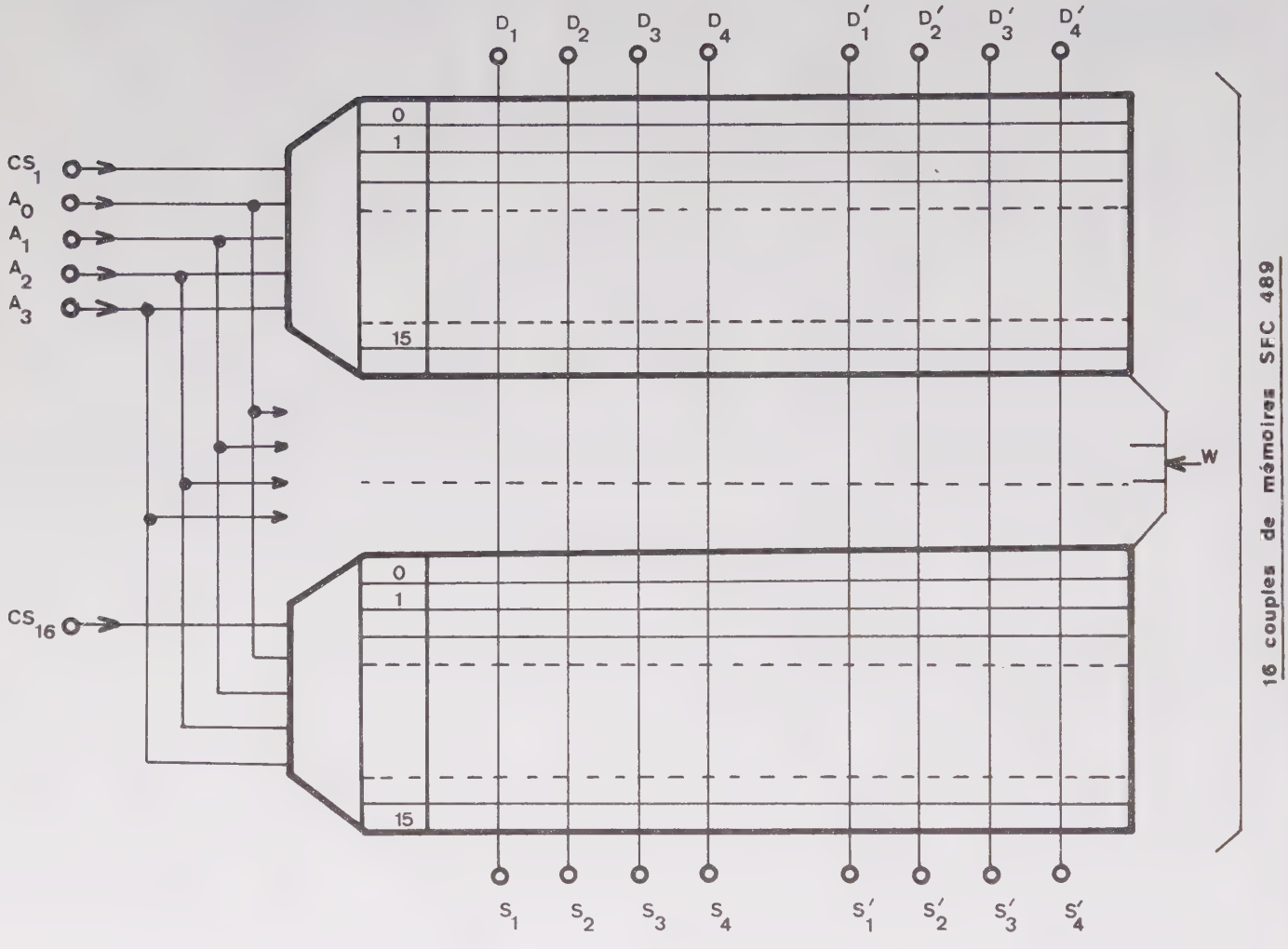


Figure III.11

Les entrées ''adresses'' A_0, A_1, A_2, A_3, ''données'' D_1 D_2 D_3 D_4 D'_1 D'_2 D'_3 D'_4,''ordre de lecture ou d'écriture'' W sont communes à tous les boîtiers.

Chaque couple de boîtiers reçoit un signal C.S. Les sorties sont réunies en ''ou cablé''.

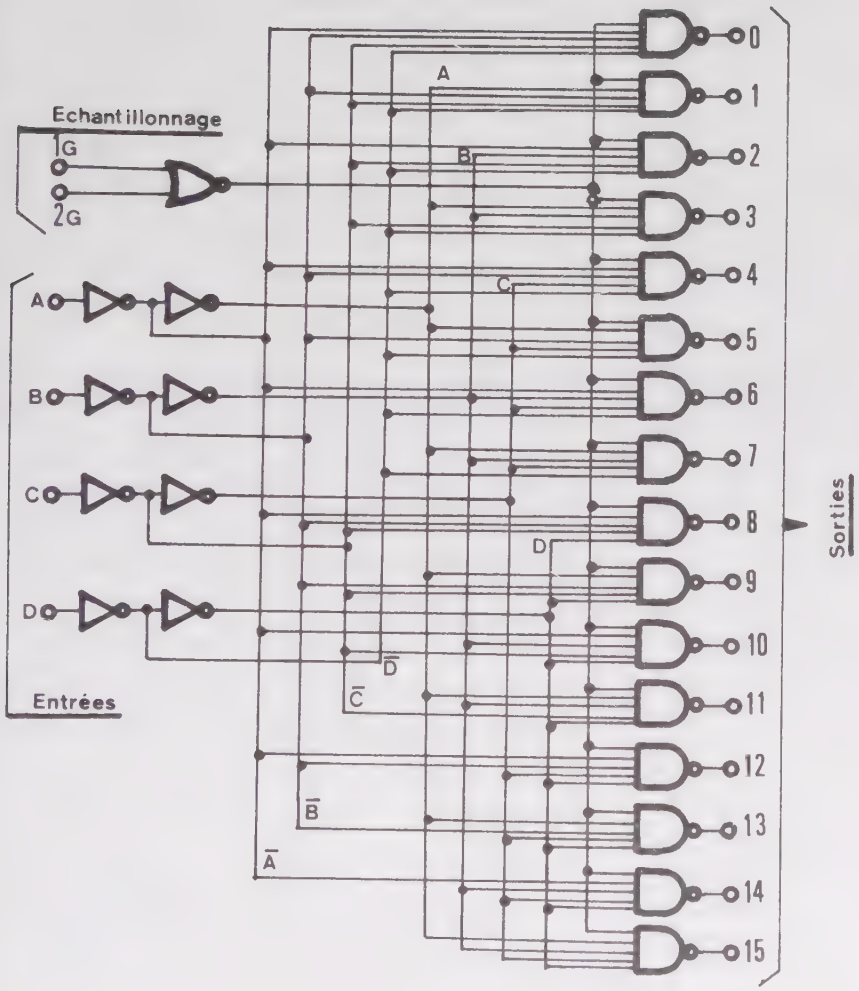
Dans ces conditions la combinaison des états des 4 entrées A ajoutée à la validation d'un couple de boîtiers par la mise de la borne C S correspondante à l'état bas sélectionne une des 256 adresses où nous pourrons enregistrer un mot de 8 bits.

III. 3. 2 Dispositif d'adressage

L'adressage est réalisé à partir des sorties d'un compteur binaire 8 bits. Une adresse en mémoire est obtenue par la combinaison des valeurs appliquées aux 4 bornes A de sélection d'adresses et aux 16 entrées C.S. de sélection de boîtier.

Cette combinaison nécessite l'utilisation d'un décodeur de 4 voies vers 16 : le circuit intégré SFC 4154.

La figure III.12 nous montre le schéma logique du décodeur et sa table de vérité.



1G	2G	D	C	B	A	niveau bas en:
0	0	0	0	0	0	S 0
0	0	0	0	0	1	1
0	0	0	0	1	0	2
0	0	0	0	1	1	3
0	0	0	1	0	0	4
0	0	0	1	0	1	5
0	0	0	1	1	0	6
0	0	0	1	1	1	7
0	0	1	0	0	0	8
0	0	1	0	0	1	9
0	0	1	0	1	0	10
0	0	1	0	1	1	11
0	0	1	1	0	0	12
0	0	1	1	0	1	13
0	0	1	1	1	0	14
0	0	1	1	1	1	15
0	1	ø	ø	ø	ø	aucune sortie
1	0	ø	ø	ø	ø	
1	1	ø	ø	ø	ø	

ø état indifférent

Figure III.12 Décodeur SFC 4154

Le dispositif d'adressage est réalisé de la façon suivante :

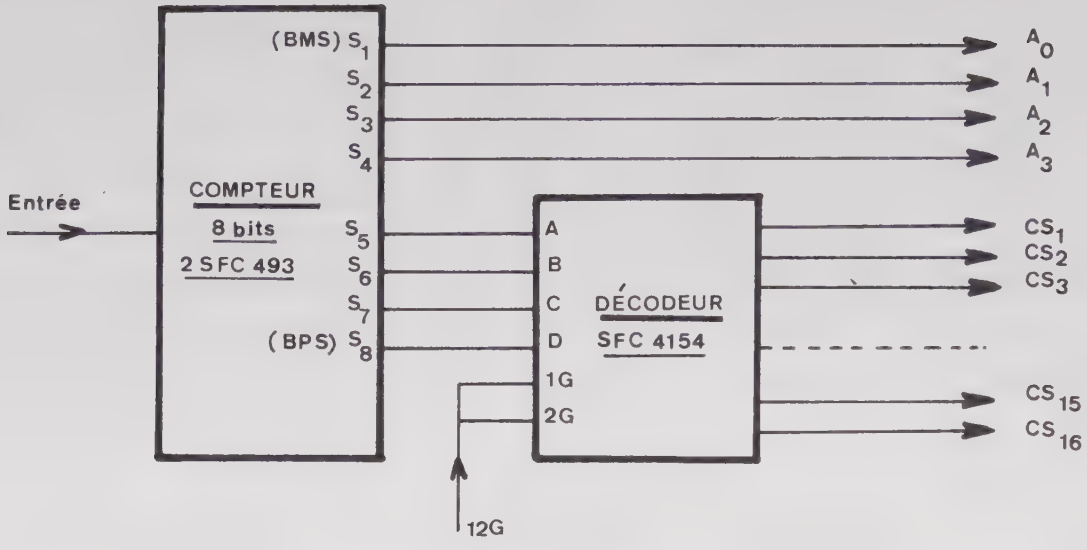


Figure III.13

Quand l'entrée 12 G est au niveau haut les 16 sorties C S sont à l'état haut et les mémoires sont isolées (aucune ligne ne reçoit de signal d'horloge).

Cette possibilité est utilisée pour isoler les mémoires quand on change les données lors d'une opération d'écriture.

A la lecture cette entrée est constamment à l'état bas.

La figure III.14 montre le fonctionnement du système.

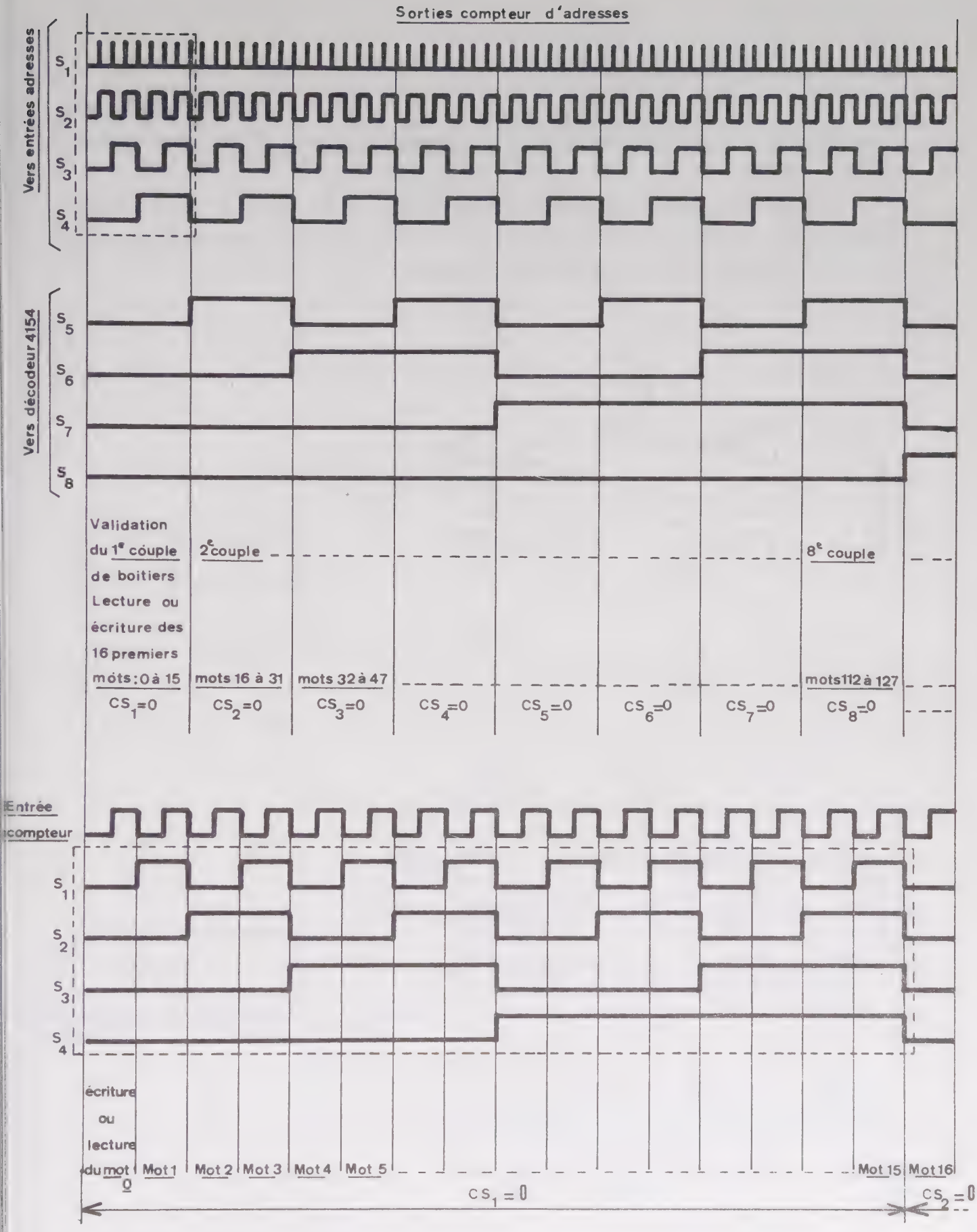
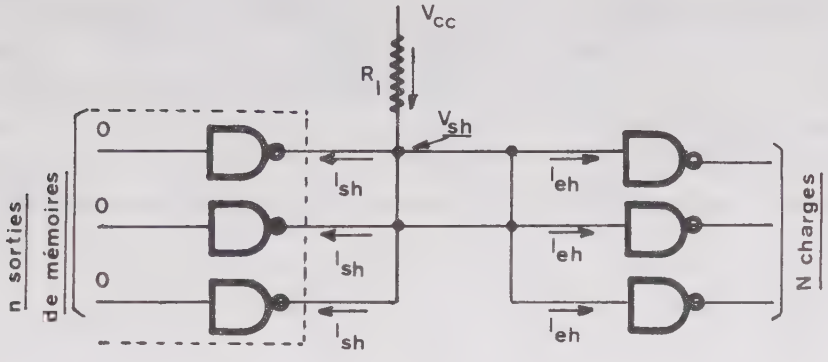


figure III 14

III. 3. 3. Circuits de sortie

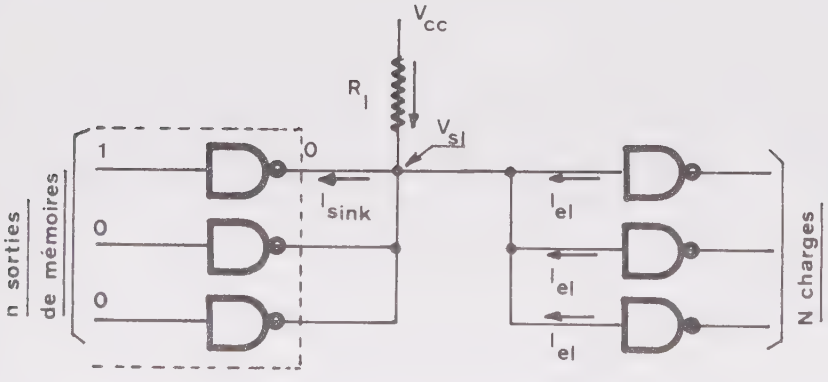
Les sorties des différentes mémoires s'effectuent sur circuits à ''collecteur ouvert'', elles peuvent être connectées en ''ou cablé''.

La réunion des 16 sorties S_i ne nécessite donc aucun opérateur, seule une résistance de charge R_L est nécessaire. Nous allons en calculer les valeurs limites.



$$R_l\ max = \frac{V_{cc} - V_{sh}}{n\, I_{sh} + N\, I_{eh}}$$

Figure III.15 Sortie au niveau ''1''



$$R_l\ min = \frac{V_{cc} - V_{sl}}{I_{sink} - N\, I_{el}}$$

Figure III.16 Sortie au niveau ''0''

Ici nous avons $n = 16$ sorties de mémoire reliées en ''ou cablé''

$N = 1$ charge T.T.L.

$I_{SH} = 20\ \mu A$

$I_{eH} = 40\ \mu A$

$V_{sH} = 2,4\ V$

$I_{sink} = 12\ m\ A$

$I_{eL} = 1,6\ m\ A$

$V_{sL} = 0,4\ V$

Le calcul donne $442 < \underset{(\Omega)}{RL} < 7\ 200$

Nous avons choisi $R_L = 3,3\ k\Omega$

IV - Caractéristiques de la mémoire

La mémoire et son système d'adressage peuvent être représentés comme ci-dessous.

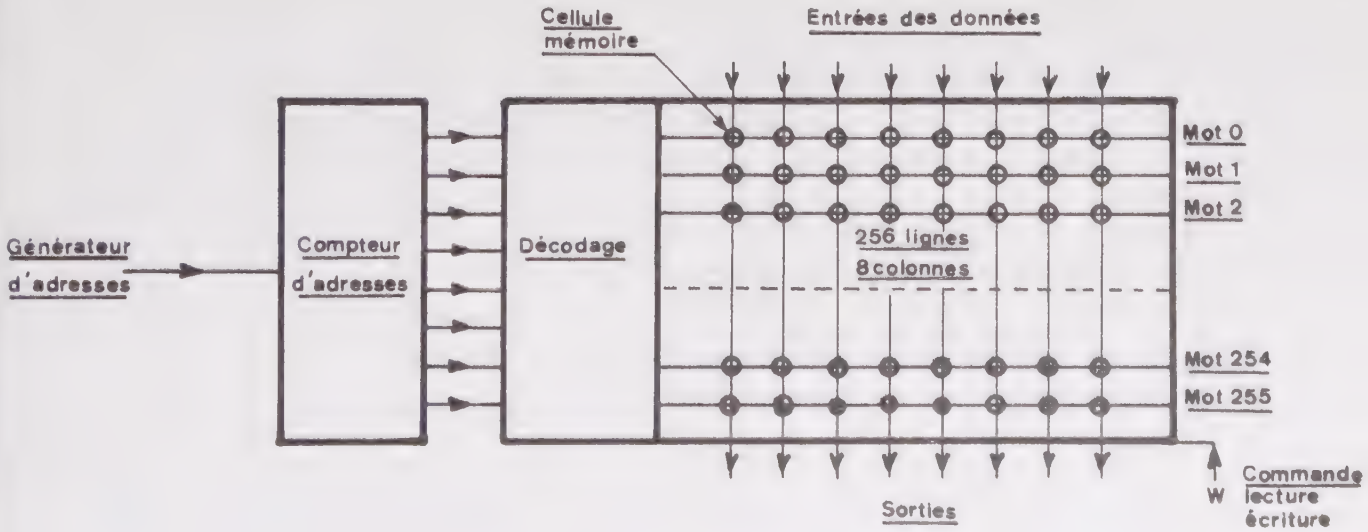


Figure III.17

Il est ainsi possible de diviser l'intervalle de définition de la fonction f(t) en 255 parties égales et de stocker en mémoire les valeurs ui de la fonction aux 256 points de rupture. Ces valeurs peuvent correspondre à 256 niveaux u_i (figure III.18). L'erreur commise sur la valeur de la fonction en un point de rupture est au maximum égale à $\pm \frac{V\ max}{2x127}$ (erreur de quantification).

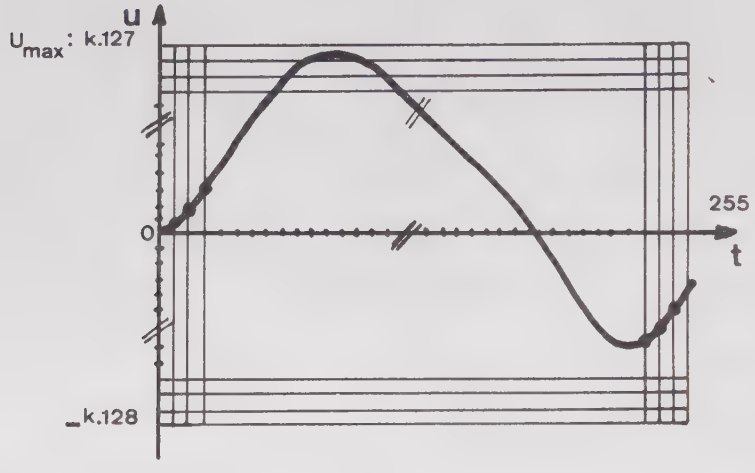


Figure III.18

Le schéma général de la mémoire et du système d'adressage est représenté planche 3.

CHAPITRE IV

CONVERSION DIGITALE-ANALOGIQUE

Pour assurer le stockage des valeurs de la fonction $u = f(t)$ aux différents points de rupture nous avons inscrit ces valeurs en mémoire après les avoir codées (code des compléments à deux).

La reconstitution de la fonction nécessite, lors de la lecture, la conversion du contenu de la mémoire en un signal analogique. Nous utilisons pour cette opération un convertisseur digital-analogique (C.D.A.). Le signal d'entrée de ce dernier se compose de niveaux logiques transmis par la mémoire sur 8 cables en parallèle, et son signal de sortie est une tension qui est fonction de l'état logique des signaux d'entrée par l'intermédiaire du code binaire choisi. Le signal de sortie représente donc en première approximation la fonction $u = f(t)$.

I - Convertisseurs Digitaux-analogiques [5], [6], [7], [8]

Ils sont essentiellement constitués par :

- Les circuits logiques ;
- Les réseaux passifs de résistances ;
- Le système de commutation d'une tension ou d'un courant de référence ;
- Une tension de référence.

Suivant le type de réseau passif utilisé on distingue deux grandes familles de C.D.A. :

- Les convertisseurs à résistances pondérées ;
- Les convertisseurs à réseaux en échelle qui utilisent simplement deux valeurs de résistance.

Le choix d'un convertisseur est rendu difficile par la présence sur le marché d'un grand nombre d'éléments. Les critères principaux qui doivent guider l'acheteur sont les suivants :

- Code d'entrée utilisé : Le choix dépendra du code utilisé dans l'élément digital qui transmet l'information codée au C.D.A. (Exemple : binaire, binaire décalé, complément à deux...)

- Gamme d'entrée ou résolution : c'est-à-dire le nombre de bits pouvant être convertis.
- Compatibilité avec la logique T. T. L.
- Vitesse de conversion.
- Tension de référence fixe ou variable, interne ou externe.
- Domaine de fonctionnement du convertisseur : un quadrant, deux quadrants ou 4 quadrants suivant les valeurs des informations digitales et de référence pouvant être appliquées au convertisseur.
- Prix de l'élément.

II - Convertisseurs D.A.C. 315.8

II. 1 Description

L'information stockée en mémoire est codée dans le code des compléments à deux ; elle peut donc correspondre à une tension positive ou négative.

Il est nécessaire pour convertir ces valeurs en tensions analogiques d'utiliser un convertisseur fonctionnant dans les deux quadrants digitaux et ayant comme code d'entrée le code des compléments à deux. Le convertisseur choisi est le D.A.C. 315.8 fabriqué par ''Hybrid system corporation'', dont les principales caractéristiques sont les suivantes :

Résolution : 8 bits + 1 de signe

Tension de référence : $\pm$ 10 V extérieure et - 6,2V interne

Bande passante : 100 khz

Impédance de sortie : 1Ω

Code : compléments à deux.

La tension de référence appliquée extérieurement peut être variable, ce qui fait du 315.8 un convertisseur digital-analogique multiplieur (C.D.A.M.).

Le convertisseur 315.8 représenté figure IV. 1 est constitué par un jeu de résistances pondérées (solution préférable quand le nombre de bits n'est pas trop élevé), alimenté par deux tensions de référence - Vréf et + Vréf. Les résistances peuvent être commutées en parallèle par les interrupteurs K_1 , K_2 ... K_8 , K_9 commandés par le signal digital d'entrée : Par exemple si le bit i est égal à ''un'' l'interrupteur i est fermé, Ces interrupteurs sont constitués par des dispositifs de commutation à transistors.

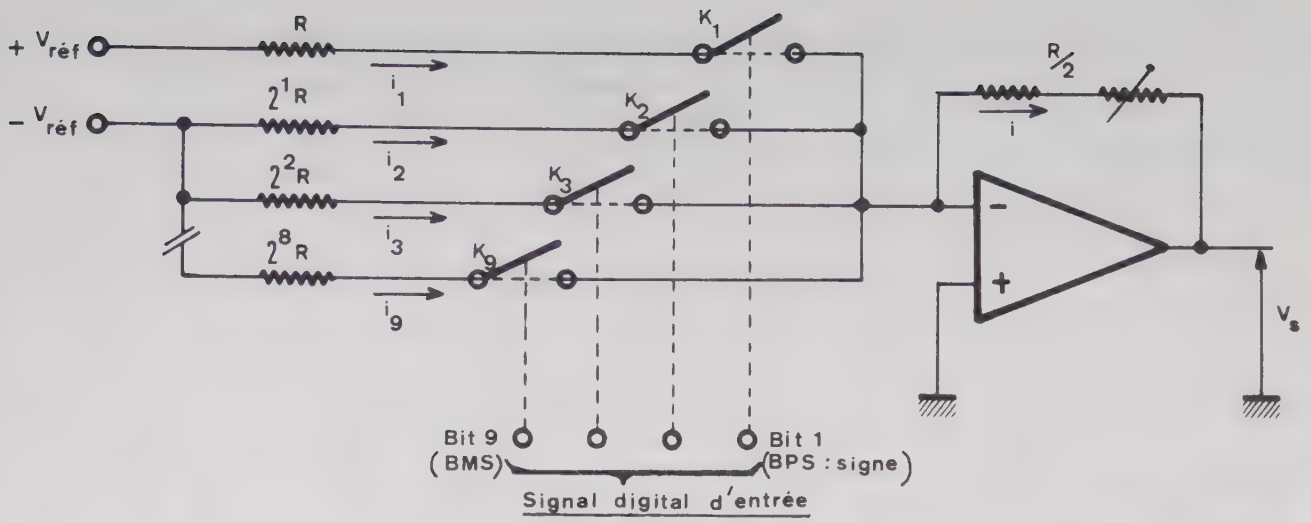


Figure IV. 1 - Schéma logique du convertisseur 315.8

II. 2 Fonctionnement

L'amplificateur opérationnel est supposé parfait et dans ces conditions on peut écrire :

$$i = i_1 + i_2 + i_3 + \dots i_9$$

et

$$V_s = - \frac{R}{2} i$$

Posons $i_1 = \frac{V r_1}{R}$ avec $V r_1 = 0$ si K_1 ouvert : bit 1 = 0
$V r_1 = Vref$ si K_1 fermé : bit 1=1

$i_2 = - \frac{V r_2}{2 R}$ $V r_2 = 0$ si K_2 ouvert : bit 2 = 0
$V r_2 = +Vref$ si K_2 fermé : bit 2=1

$i_3 = - \frac{V r_3}{4 R}$ $V r_3 = 0$ si K_3 ouvert : bit 3 = 0
$V r_3 = +Vref$ si K_3 fermé : bit 3=1

.....

$i_9 = - \frac{V r_9}{2^8 R}$

Dans ces conditions nous pouvons écrire :

$$V_s = -\frac{R}{2}\cdot\left[\frac{V_{r1}}{R} - \frac{V_{r2}}{2R} - \frac{V_{r3}}{4R} - \frac{V_{r4}}{8R} - \frac{V_{r5}}{16R} - \frac{V_{r6}}{32R} - \frac{V_{r7}}{64R} - \frac{V_{r8}}{128R} - \frac{V_{r9}}{256R}\right]$$

ou

$$V_s = \frac{-256V_{r1}+128V_{r2}+64V_{r3}+32V_{r4}+16V_{r5}+8V_{r6}+4V_{r7}+2V_{r8}+V_{r9}}{512}$$

D'où le tableau de fonctionnement du convertisseur (en se rappelant que si le bit i est égal à 1 $V_{ri} = V_{ref}$ Si le bit i = 0 $V_{ri} = 0$).

$\overline{\overline{V_e}}$

équivalent décimal de $\overline{\overline{V_e}}$	Bit 1 Signe	Bit 2	Bit 3	Bit 4	Bit 5	Bit 6	Bit 7	Bit 8	Bit 9 BMS	V_s	$\frac{V_s}{V_{réf}} \times 512$
0	0	0	0	0	0	0	0	0	0	0	0
+1	0	0	0	0	0	0	0	0	1	$+\frac{V_{réf}}{512}$	+1
+2	0	0	0	0	0	0	0	1	0	$+\frac{V_{réf}}{512} \times 2$	+2
+3	0	0	0	0	0	0	0	1	1	$+\frac{V_{réf}}{512} \times 3$	+3
- - -	- - -	- - -	- - -	- - -	- - -	- - -	- - -	- - -	- - -	- - - - -	- - - - - -
+254	0	1	1	1	1	1	1	1	0		+254
+255	0	1	1	1	1	1	1	1	1		+255
-256	1	0	0	0	0	0	0	0	0		-256
-255	1	0	0	0	0	0	0	0	1		-255
-254	1	0	0	0	0	0	0	1	0		-254
- - -	- - -	- - -	- - -	- - -	- - -	- - -	- - -	- - -	- - -	- - - - - -	- - - - - -
-2	1	1	1	1	1	1	1	1	0	$-\frac{V_{réf}}{512} \times 2$	-2
-1	1	1	1	1	1	1	1	1	1	$-\frac{V_{réf}}{512}$	-1

La tension de sortie est proportionnelle au poids de l'information binaire d'entrée : $v_s = k.\overline{\overline{ve}}$, $\overline{\overline{ve}}$ pouvant être positive ou négative et étant écrite dans le code des compléments à deux.

Remarque : La tension de sortie analogique V_s est également proportionnelle à la tension de référence Vref. Si l'on prend pour Vref une tension variable, le C.D.A. 315.8 réalisera la multiplication de l'information digitale $\overline{\overline{ve}}$ par la tension analogique Vref, le résultat étant donné sous forme analogique. Nous utiliserons cette possibilité par la suite (chapitre 5).

II. 3 Réglages du convertisseur

Deux réglages sont prévus :

- Le réglage du gain par ajustement de la résistance de réaction R/2 à l'aide d'un potentiomètre de 1 kΩ .
- Le réglage du zéro à l'aide d'un potentiomètre de 20 kΩ branché entre + 15 et - 15 V. Ce potentiomètre est ajusté de façon à obtenir 0V en sortie quand la tension de référence est nulle.

II. 4 Tensions de référence

Les tensions + Vref et - Vref valent $\pm$ 10 V et sont obtenues, à l'aide d'amplificateurs opérationnels, à partir des tensions $\pm$ 15 V d'alimentation.

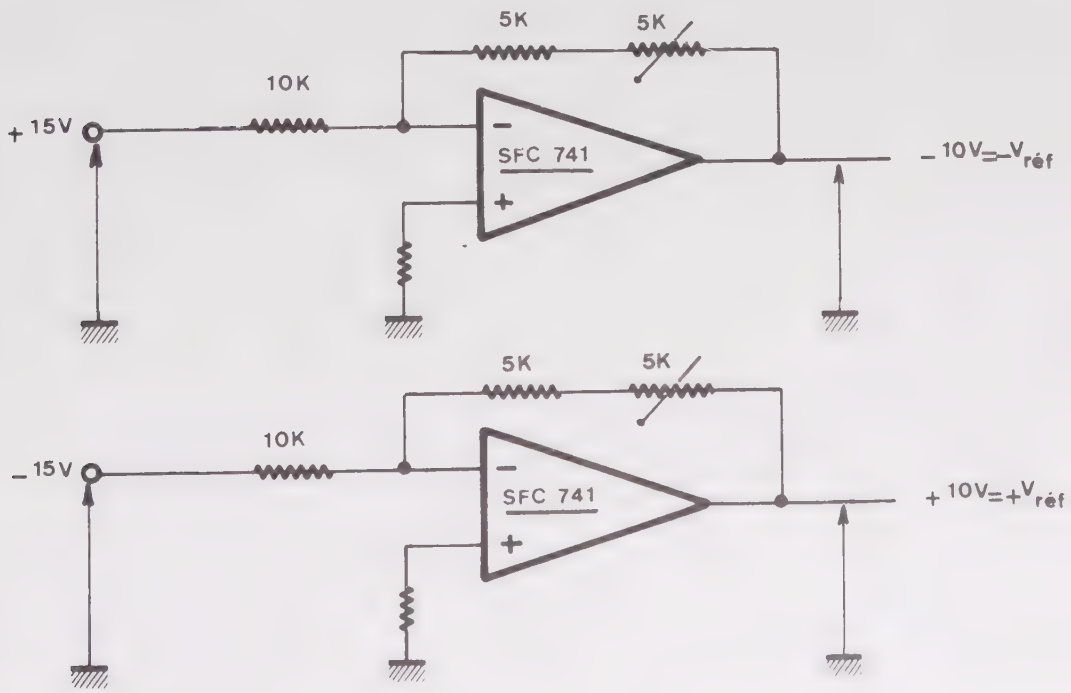


Figure IV . 2

CHAPITRE V

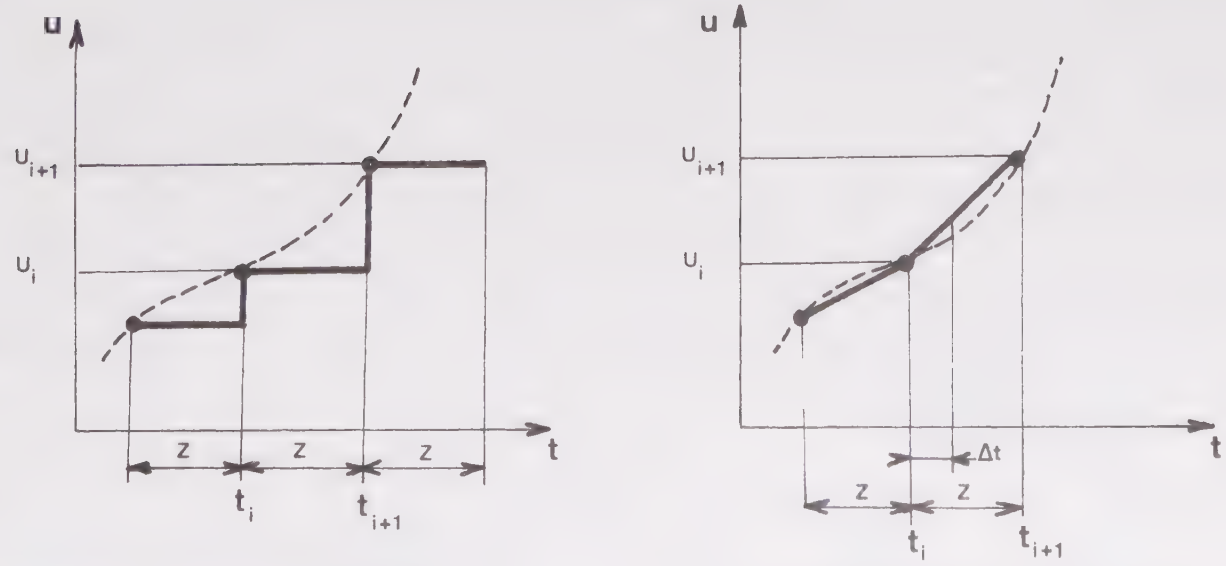
INTERPOLATION LINEAIRE

I - Interpolation entre deux points de rupture

Si le contenu de la mémoire était simplement converti en signal analogique, comme nous venons de le voir dans le chapitre précédent, la fonction u(t) reconstituée se présenterait sous la forme d'une succession de paliers de largeur Z, qui pourrait différer assez nettement du graphe de la fonction originale (figure V.1). Pour approcher d'un peu plus près cette fonction originale nous réalisons une interpolation linéaire entre deux points de rupture suivant la formule :

$$u_{t_i,t_{i+1}} = u_i + \frac{u_{i+1} - u_i}{Z}\Delta t$$

où u_i et u_{i+1} sont les valeurs de la fonction aux instants t_i et t_{i+1} et $Z = t_{i+1} - t_i$



Interpolation par paliers — Interpolation linéaire

Figure V.1

A l'instant t_{i+1} nous devons donc disposer des information u_i et u_{i+1}.

Soient $\overline{\overline{u_{i+1}}}$ et $\overline{u_i}$ les valeurs codées de la fonction aux instants t_{i+1} et t_i.

Pendant l'opération de lecture, à l'instant t_{i+1} le mot $\overline{\overline{u_{i+1}}}$ est présent en sortie de la mémoire. Ce mot est décalé d'une période d'horloge après passage dans un registre à décalage. A l'instant t_{i+1} la sortie du registre représente donc $\overline{u_i}$, valeur codée de la fonction à l'instant t_i.

- La différence $\overline{\overline{u_{i+1}}} - \overline{u_i}$ est effectuée par un soustracteur digital.
- La tension analogique $\frac{u_{i+1} - u_i}{Z}\Delta t$ est obtenue à l'aide d'un convertisseur digital-analogique multiplieur (C.D.A.M.) aux entrées duquel sont appliqués les signaux $\overline{\overline{u_{i+1}}} - \overline{u_i}$ et $\frac{\Delta t}{Z}$

II - Soustracteur binaire [9] , [10]

Le soustracteur doit effectuer l'opération $D = \overline{\overline{u_{i+1}}} - \overline{u_i}$; $\overline{\overline{u_{i+1}}}$ et $\overline{u_i}$ sont des nombres binaires de huit bits, dont un de signe. Deux méthodes peuvent être utilisées :

- La méthode directe.
- La méthode par addition du complément à deux.

Le codeur fournissant les valeurs $\overline{\overline{u_{i+1}}}$ et $\overline{u_i}$ dans le code des compléments à deux, nous avons choisi la deuxième solution.

Soient A et B deux nombres algébriques codés en complément à deux et possédant p bits. Soient A' et B' les nombres A et B auxquels on a ajouté, en position de bit le plus significatif un $(p+1)^e$ bit égal au bit de signe.

Nous démontrons en annexe que le résultat de l'opération :

$$D' = A' + C^t 2 \text{ de } B'$$

est un nombre comportant p + 1 ou p + 2 bits, suivant les valeurs de A et B. Les p + 1 premiers digits représentent la différence A - B exprimée dans le code des compléments à deux.

L'élément situé derrière le soustracteur, le C.D.A.M, travaille dans le code des compléments à deux ; il peut être attaqué directement par la différence $D = \overline{\overline{u_{i+1}}} - \overline{u_i}$ obtenue comme indiqué ci-dessus (sans circuit de transcodage entre soustracteur et C.D.A.M.) .

La soustraction de deux nombres algébriques se ramène à une addition. Le schéma du soustracteur est représenté figure V.2 et planche 4.

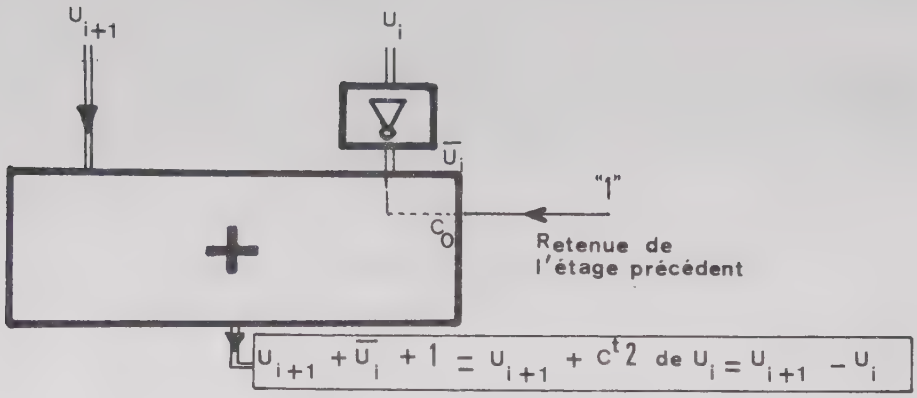


Figure V. 2

Tous les bits de u_i sont inversés avant d'attaquer l'additionneur. Un niveau haut est appliqué en permanence à l'entrée ''retenue'' de l'étage précédent''.

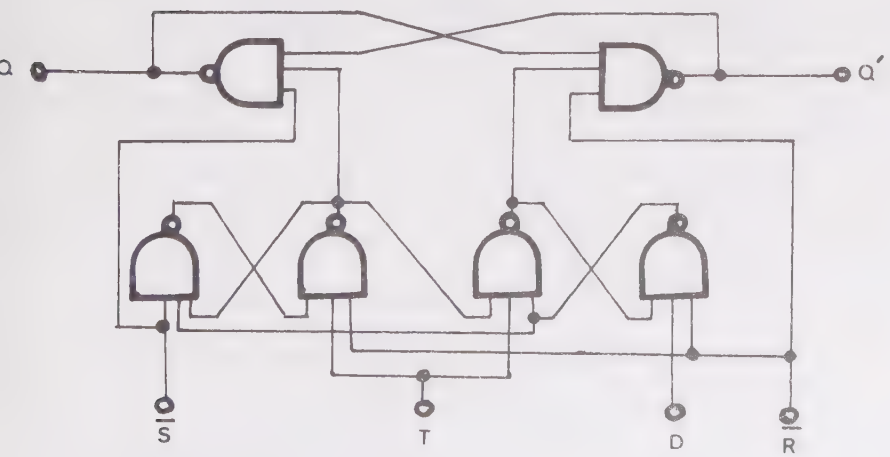
L'additionneur, obtenu à partir de 3 circuits SFC 483, réalise l'opération :

$$u_{i+1} + \overline{u_i} + 1 = u_{i+1} + C^t\ 2 \text{ de } u_i = \overline{\overline{u_{i+1}} - \overline{u_i}}$$

III - Registre à décalage

Il est réalisé à partir de bascules de type ''D'' contenues dans le circuit intégré SFC 474 (2 bascules par boîtier).

La figure V.3 représente le schéma logique d'une bascule et sa table de fonctionnement.



t_n	t_{n+1}	
Entrée D	Q	Q'
0	0	1
1	1	0

Figure V. 3

La sortie Q reproduit l'information présente en D après la transition d'horloge (le front actif est le front montant).
Pour décaler le signal $\overline{\overline{u_{i+1}}}$ d'une période, il faudra utiliser comme signal d'horloge du registre, le complément de l'horloge du compteur d'adresses, comme le montre la figure V.4.

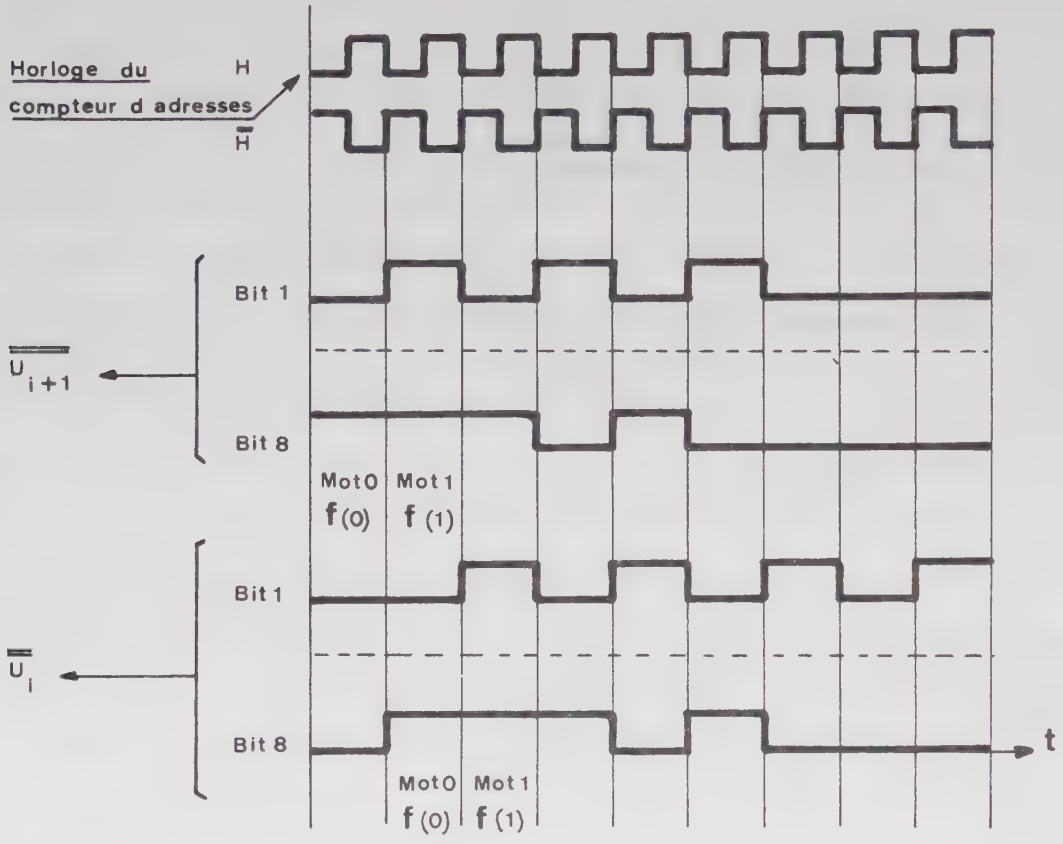


Figure V. 4

Huit bascules D, donc 4 circuits SFC 474 sont nécessaires pour retarder les 8 bits de $\overline{\overline{u_{i+1}}}$.

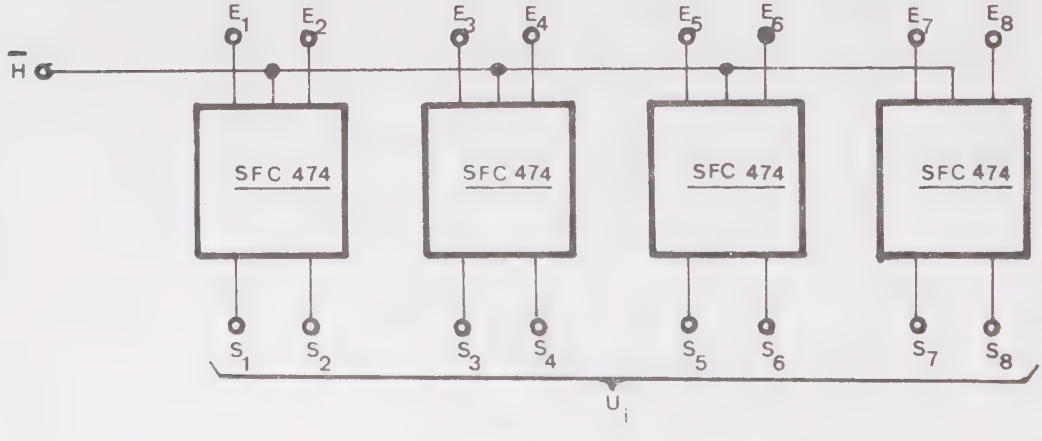


Figure V. 5

IV - Convertisseur digital-analogique multiplieur

Nous avons vu que le convertisseur DAC 315.8 pouvait être utilisé pour effectuer la multiplication d'une tension analogique (appliquée à l'entrée référence) par une information binaire (appliquée aux entrées digitales). Le résultat est donné sous forme d'une tension analogique.

La figure V. 6 résume le fonctionnement du C.D.A.M. (nous prenons pour simplifier la figure le cas d'un mot binaire de 3 bits + signe.

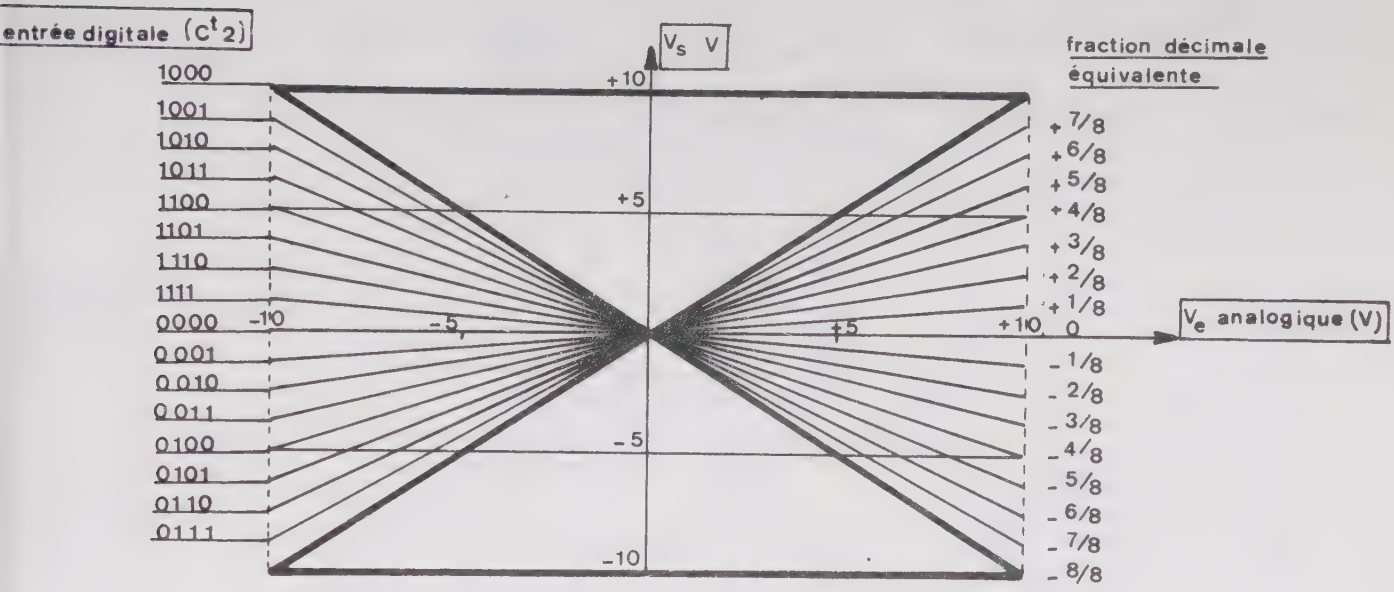


Figure V. 6

Nous voulons réaliser l'opération : $\overline{\overline{u_{i+1}} - \overline{u_i}} \times \frac{\Delta t}{Z}$

$\frac{\Delta t}{Z}$ est une dent de scie de période Z et d'amplitude unité (Z est également la période du signal d'horloge H).

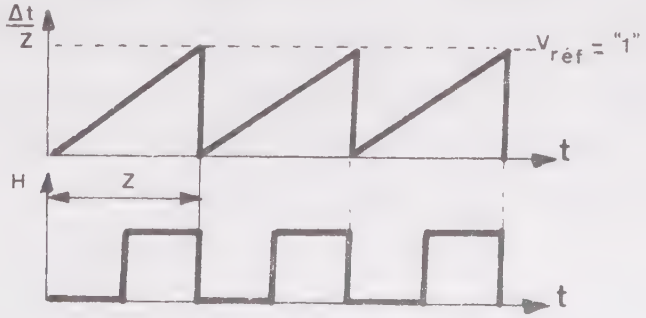


Figure V. 7

Nous élaborons les signaux $\frac{\Delta t}{Z}$ et $-\frac{\Delta t}{Z}$ (voir chapitre 8) et nous les envoyons respectivement sur les entrées + Réf et - Réf du C.D.A.M.

V - Fonctionnement du système d'interpolation

Pour faciliter l'exposé et les figures nous choisissons un cas simple : celui d'une mémoire de capacité 8 mots de 3 bits (ce que nous allons montrer est également valable pour notre mémoire de 256 mots de 8 bits).
Prenons un exemple : nous voulons engendrer une dent de scie (figure V. 8)

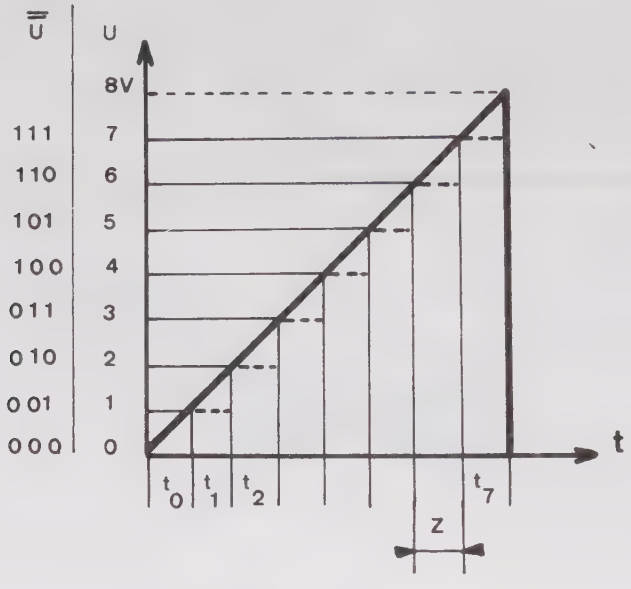


Figure V. 8

La capacité de la mémoire étant de 8 mots nous divisons l'intervalle de définition de u en 8 parties égales à Z, et inscrivons les valeurs codées de la fonction aux instants t_0, t_1, ... t_7 en mémoire. Les mots inscrits sont donc 000, 001, 010, 011, 100, 101, 110, 111, puisque la mémoire accepte des mots de 3 bits. La figure V. 9 résume la séquence de lecture :

Nous voyons sur cette figure que la tension u_s recueillie se rapproche beaucoup de la tension désirée (ceci avec une mémoire de 8 mots). Avec notre mémoire de 256 mots de 8 bits l'erreur commise sur le front de descente de la dent de scie est absolument négligeable.

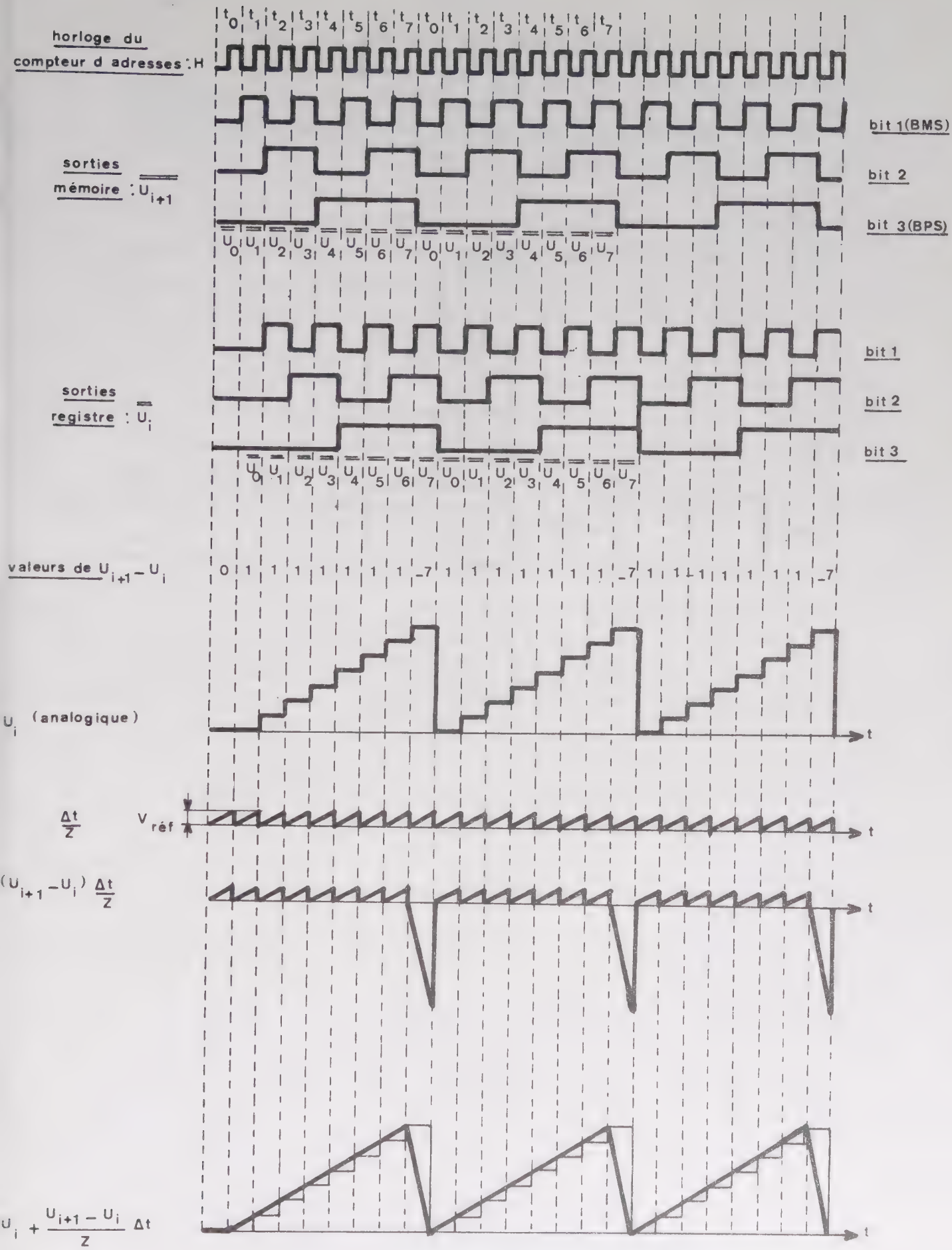

horloge du compteur d adresses : H
sorties mémoire : $\overline{U_{i+1}}$
bit 1(BMS)
bit 2
bit 3(BPS)
sorties registre : $\overline{U_i}$
bit 1
bit 2
bit 3
valeurs de $U_{i+1} - U_i$
U_i (analogique)
$\frac{\Delta t}{Z}$
$V_{réf}$
$(U_{i+1} - U_i)\frac{\Delta t}{Z}$
$U_i + \frac{U_{i+1} - U_i}{Z} \Delta t$
t

figure V.9

VI - Schéma du système de conversion et d'interpolation

Il est représenté figure V. 10.

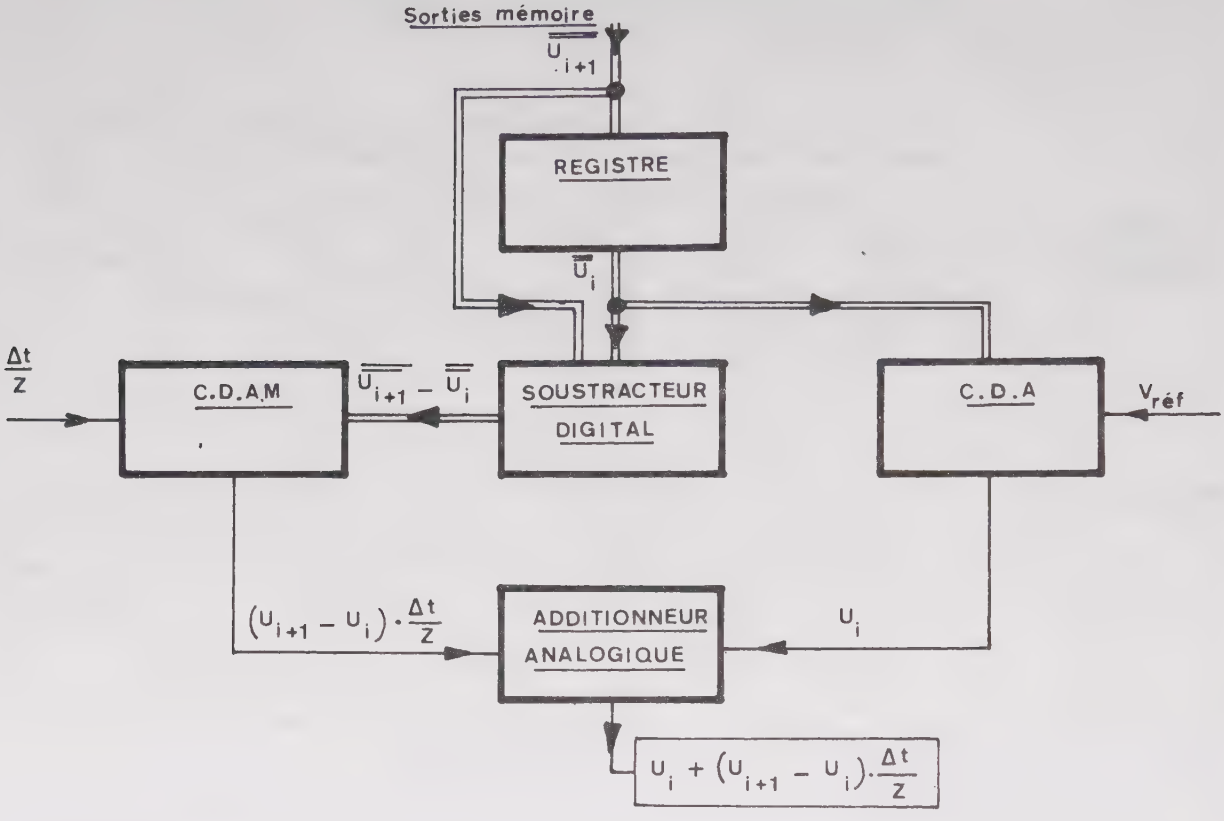


Figure V. 10

CHAPITRE VI

STOCKAGE DES FONCTIONS SUR BANDE MAGNETIQUE

Les cellules mémoire, qui sont des bascules R.S.T., conservent l'état qui leur a été imposé à l'écriture aussi longtemps qu'un phénomène extérieur (écriture d'une nouvelle information ou interruption de l'alimentation) n'intervient pas pour en modifier le contenu.

Une coupure de la tension d'alimentation entraîne la destruction des informations stockées et il serait fastidieux, à chaque fois que celà se produit, de réinscrire les 256 mots-mémoire à l'aide du système codeur - bouton poussoir (cette opération peut durer une dizaine de minutes pour certaines fonctions).

Pour éviter celà nous opérons de la façon suivante :

Les 256 mots représentant les valeurs de la fonction aux différents points de rupture sont écrits manuellement en mémoire à l'aide du système codeur - bouton poussoir. Ils sont ensuite enregistrés sur une bande magnétique après avoir été transformés en mots série, la mémoire se trouvant alors en position ''Lecture''.

Ces mots série, enregistrés sur la bande, peuvent être réinscrits en mémoire après avoir été retransformés en mots parallèles.

Nous allons étudier plus en détail ces opérations.

I - Enregistrement des mots-mémoire sur bande magnétique

En position lecture le contenu de la mémoire est recueilli sur huit lignes, chacune de ces lignes représentant un bit du mot-mémoire. Nous transformons ces mots écrits sous forme parallèle en mots série à l'aide d'un registre à décalage à entrée des données en parallèle et sortie en série : le circuit SFC 4165.

I. 1 Transformation parallèle-série

I.1.1. Fonctionnement du registre

La figure VI.1 représente le schéma logique du circuit SFC 4165: il est formé de 8 bistables connectés de manière synchrone.

L'entrée des mots parallèles se fait sur les entrées de forçage R_D et S_D des différentes bascules, la sortie série s'effectue en sortie de la dernière bascule.

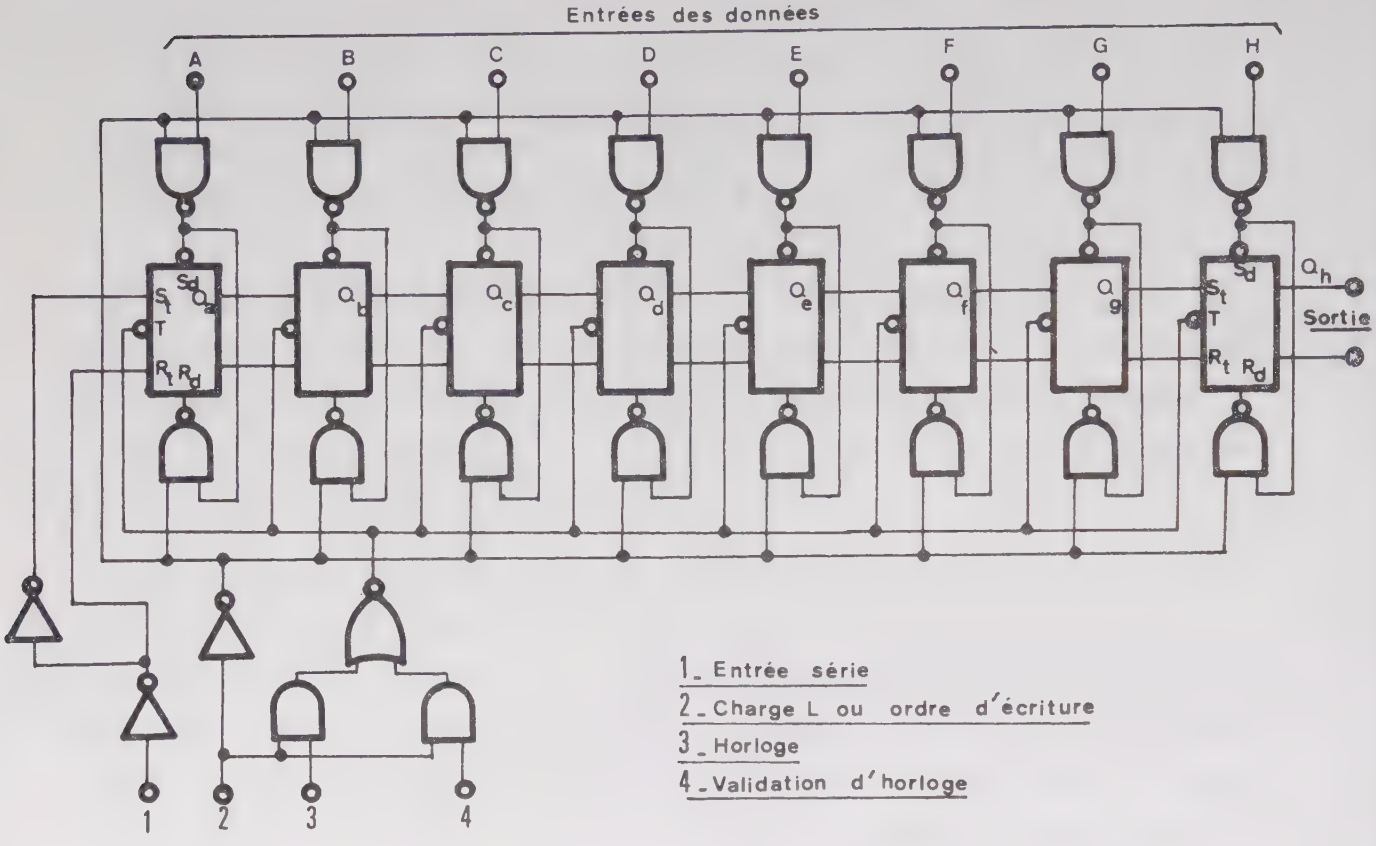


Figure VI.1 Circuit SFC 4165

Le fonctionnement du registre est le suivant :
Lorsque l'entrée de charge (ou entrée ordre d'écriture) L est à un niveau bas, les entrées de forçage S_D et R_D des différentes bascules reçoivent respectivement les informations A et $\overline{A}$, B et $\overline{B}$, ... H et $\overline{H}$ et leurs sorties délivrent donc A, B, C, ... H, soit les huit bits du mot d'entrée.
Lorsque L passe à l'état haut, R_D et S_D passent également à l'état haut et le fonctionnement des bistables est régi par la table de vérité. L'entrée série étant mise à zéro, l'entrée de la première bascule S_A reçoit un zéro, S_B reçoit Q_A, S_C reçoit Q_B etc... Au front efficace d'horloge Q_A passe à zéro, la valeur de Q_A avant le front d'horloge est transférée en Q_B... D'une manière générale au front efficace d'horloge la sortie Q_i est transférée vers la sortie Q_{i+1}.

I.1.2. Synchronisation des commandes du registre.

Pour transformer de façon continue les mots parallèles issus de la mémoire en mots série, il faudra que la fréquence du signal d'horloge du registre soit 8 fois plus grande que celle du compteur d'adresses. (le mot à transformer comprenant 8 bits)
Les signaux de commande du registre (horloge et ordre d'écriture) sont obtenus à partir des sorties d'un compteur binaire de 4 bits SFC 493 (compteur n° 2) figure VI.2.
L'entrée de ce compteur est alimentée par un signal d'horloge H_2, de fréquence fixe 1 000 H_z, engendré par un multivibrateur réalisé avec deux circuits monostables SFC 4121 et dont le fonctionnement sera analysé au chapitre 8.

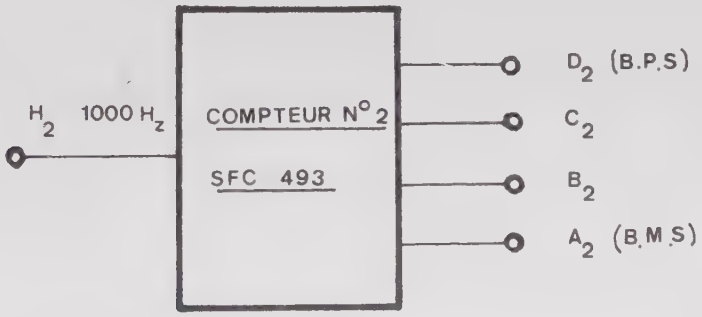


Figure VI.2

A_2, le bit le moins significatif de la sortie du compteur est utilisé comme signal d'horloge du registre, après avoir été inversé. D_2, le bit le plus significatif sert, lors de cette opération, de signal d'horloge pour le compteur d'adresses (compteur n° 1).
Sur l'entrée ''ordre d'écriture'' nous appliquons le signal :

$$L_2 = A_2 + B_2 + C_2 + D_2 = \overline{\overline{A_2} \cdot \overline{B_2} \cdot \overline{C_2} \cdot \overline{D_2}}.$$

La figure VI.3 résume le fonctionnement du registre dans ces conditions d'utilisation.

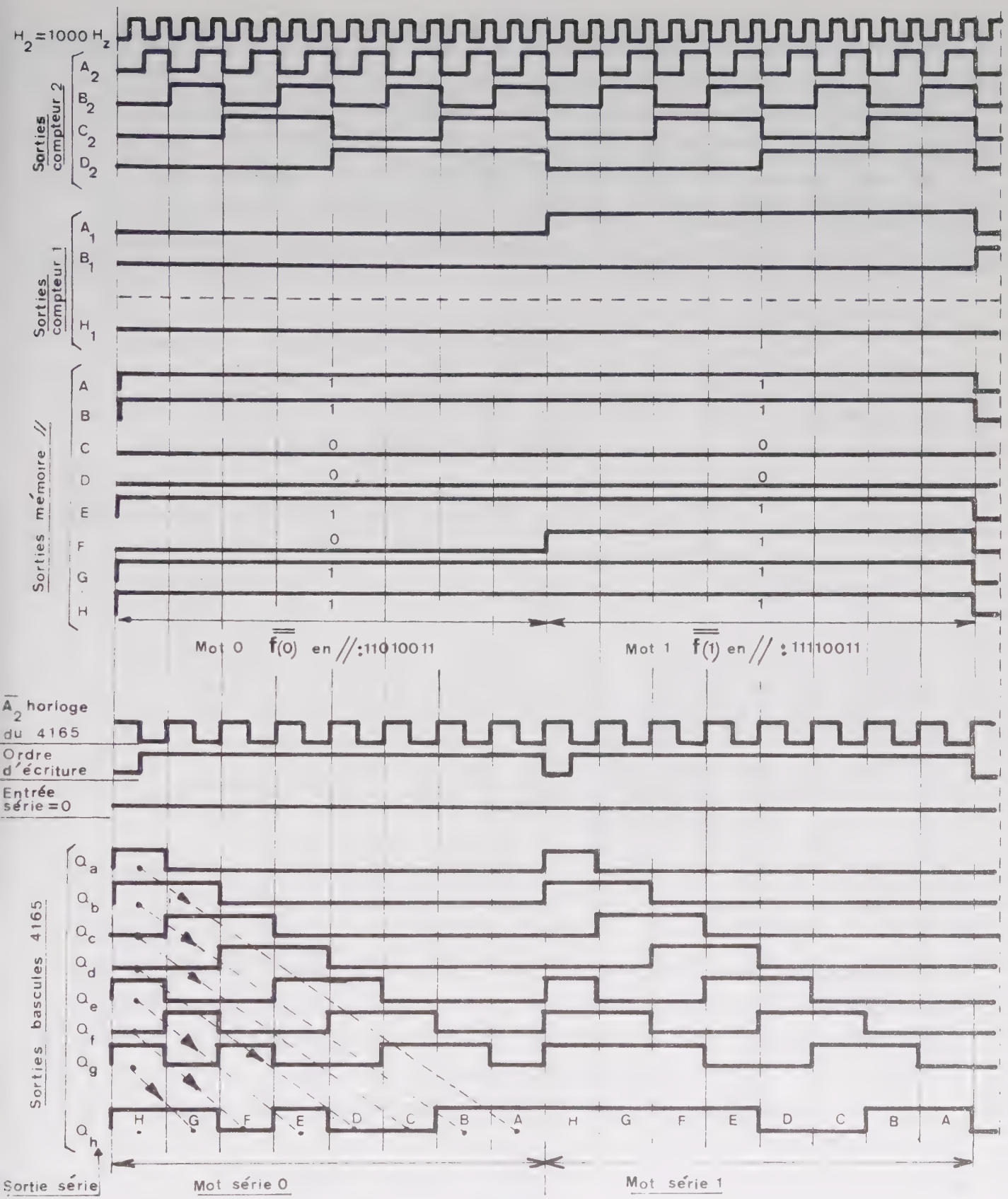

H2 = 1000 Hz
Sorties compteur 2
A2
B2
C2
D2
Sorties compteur 1
A1
B1
H1
Sorties mémoire //
A
B
C
D
E
F
G
H
Mot 0 f(0) en //:11010011
Mot 1 f(1) en //:11110011
A2 horloge du 4165
Ordre d'écriture
Entrée série = 0
Sorties bascules 4165
Qa
Qb
Qc
Qd
Qe
Qf
Qg
Qh
H G F E D C B A H G F E D C B A
Sortie série
Mot série 0
Mot série 1

figure VI.3

I. 2 Formation du signal à enregistrer

Le mot-mémoire transformé en mot série ne peut être directement enregistré sur bande magnétique. En effet, pour recharger la mémoire à l'aide du signal enregistré sur bande, il sera nécessaire de retransformer l'information série en information parallèle en employant un registre à entrée des données en série et à sorties parallèles. Ce registre nécessite l'utilisation d'un signal d'horloge qui doit être enregistré en synchronisation avec le mot série.

La première solution envisagée consistait à enregistrer simultanément sur deux pistes de la bande magnétique l'information série d'une part, le signal d'horloge de l'autre. Cette solution a été rejetée car les déformations subies par ces signaux à l'écriture et à la lecture de la bande font qu'ils ne sont plus synchronisés en sortie de l'enregistreur magnétique.

La deuxième solution utilise une seule piste de la bande magnétique. Elle consiste à mélanger à l'enregistrement le mot série et le signal d'horloge (multiplexage). Lors de la lecture de la bande les deux signaux seront séparés (démultiplexage) et le signal d'horloge pourra servir à commander le registre. Le signal à enregistrer est obtenu de la façon suivante :

La sortie Q_H est composée avec le signal $\overline{A_2}$ pour donner :

$$R = \overline{Q_H \, \overline{A_2}}$$

Le signal R est lui-même combiné avec l'horloge H_2 pour donner :

$$T_1 = \overline{R. \, H_2}$$

Ce signal T_1 dont l'obtention est résumée (figure VI. 4) est enregistré sur bande magnétique. Il comporte des créneaux de 0,5 ms et de 1,5 ms. Les créneaux larges indiquent la présence d'un ''un'' dans le mot série.

La planche 5 représente le système d'enregistrement sur bande magnétique.

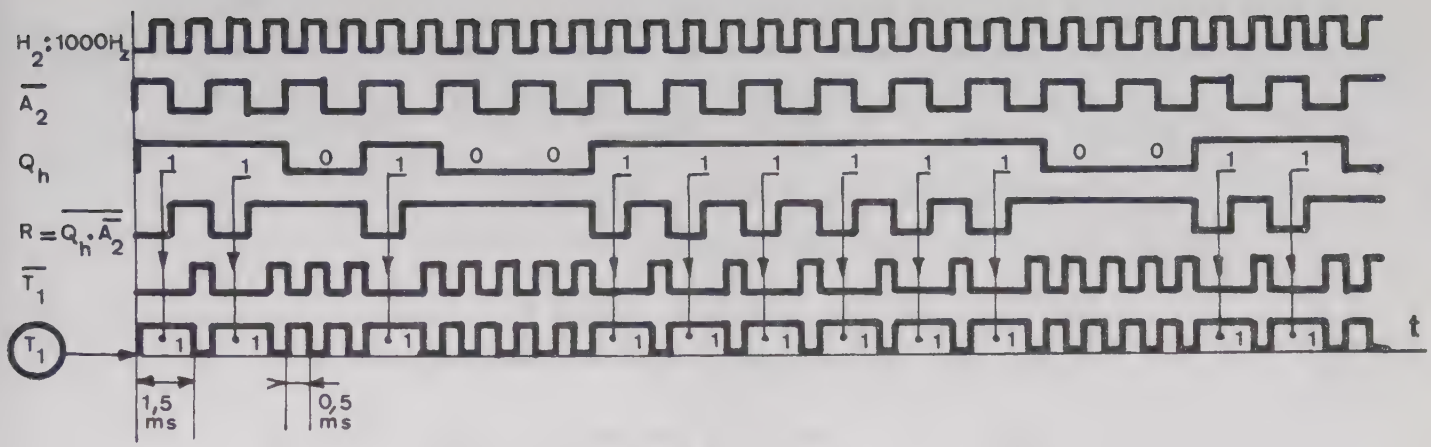


Figure VI.4 : formation du signal à enregistrer

II - Lecture de la bande magnétique

II.1 Démultiplexage du signal enregistré

Le signal T_2 qui représente le signal enregistré, mis en forme à la lecture, se présente sous l'aspect schématisé sur la figure VI.5.

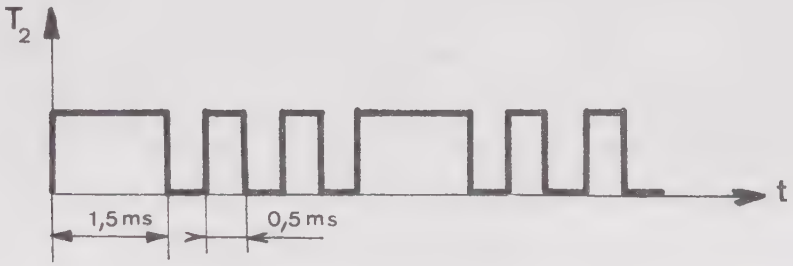


Figure VI.5

Il est composé d'impulsions larges de 1,5 ms qui, comme nous l'avons vu, correspondent à la présence d'un ''un'' dans le mot série et d'impulsions de 0,5 ms correspondant au signal d'horloge.

Avant d'attaquer les entrées ''données'' de la mémoire nous devons décomposer le signal ci-dessus en :

- un mot de 8 bits écrit sous forme série.
- un signal d'horloge.

Ces deux signaux attaquent un registre à entrée série, dont les sorties parallèles sont dirigées vers les entrées ''données'' de la mémoire.

La première opération consiste donc à ''séparer'' le signal T_2 en deux parties, comme indiqué figure V I.6.

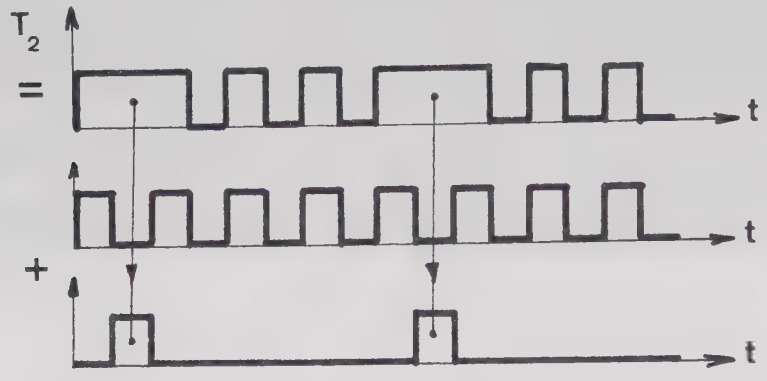


Figure VI. 6

Pour celà le signal T_2 est appliqué à l'entrée d'un monostable qui déclenche sur le front montant du signal d'entrée et transforme T_2 en un signal T_3 où toutes les impulsions sont de même largeur : légèrement supérieure à 0,5 ms.

T_3 est combiné avec T_2 pour donner le signal $\overline{T_3 . \overline{T_2}}$ servant à commander un deuxième monostable qui déclenche sur le front descendant de l'impulsion d'entrée et délivre donc une impulsion de 0,5 ms quand le bit série est égal à ''un''.

La sortie de ce deuxième monostable, Y, combinée avec T_2 donne le signal d'horloge reconstitué H_3 :

$$H_3 = \overline{T_2 . \overline{Y}}$$

Ainsi est réalisée la séparation de T_2 en deux signaux : l'un est l'image du mot série, l'autre le signal d'horloge. La figure VI. 7 représente le système de démultiplexage et les formes de signaux en différents points du montage.

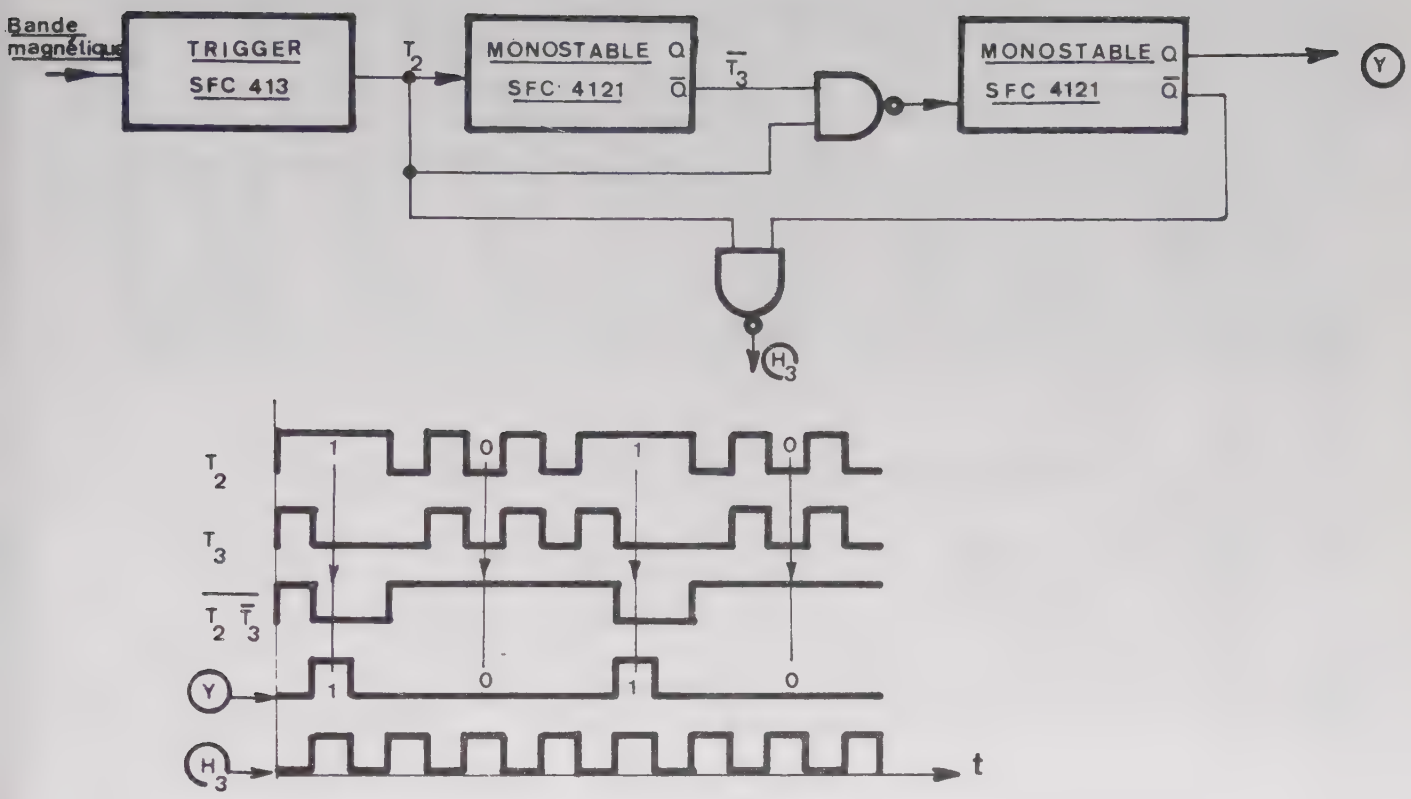


Figure VI. 7

II. 2 Transformation série - parallèle

Cette transformation est réalisée par le circuit intégré SFC 4164 dont le schéma logique est donné figure VI.8.

II.2.1 Fonctionnement du registre à décalage

Les entrées série A et B permettent un contrôle des données. Un niveau bas sur l'une inhibe l'autre et, inversement, un niveau haut sur l'une permet l'entrée des données présentes sur l'autre.

Le décalage s'effectue pour un front montant du signal d'horloge. Le registre peut être mis à zéro en appliquant un niveau bas sur l'entrée effacement.

II.2.2 Commandes du registre

Comme pour le registre de transformation parallèle-série les commandes du registre sont synchronisées à partir des sorties d'un compteur binaire 4 bits (compteur n° 3).

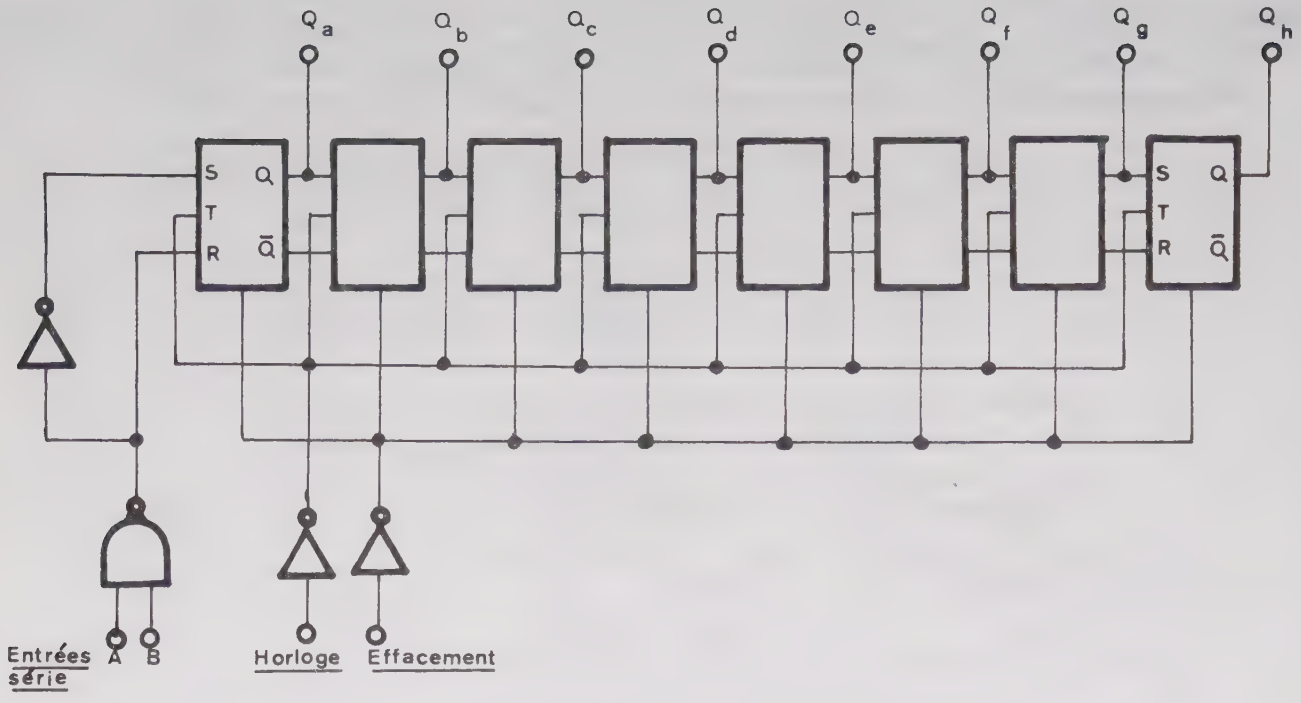


Figure VI. 8

Le signal H_3 est appliqué à l'entrée du compteur et le signal recueilli sur la première sortie de celui-ci (bit le moins significatif) constitue l'horloge du registre à décalage.
Chaque sortie Q de ce dernier est connectée à l'entrée d'une porte ''E T'' pilotée par une instruction de lecture L. L'information sous forme parallèle n'est disponible que lorsque L est au niveau ''1''. Ce signal L élaboré à partir des sorties du compteur 3 est égal à :

$$L = A_3\ B_3\ C_3\ D_3$$

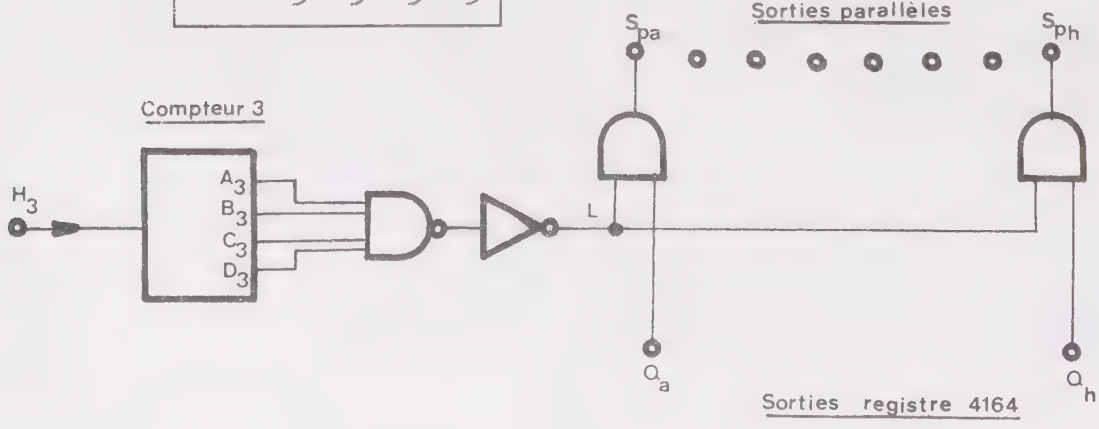


Figure VI. 9

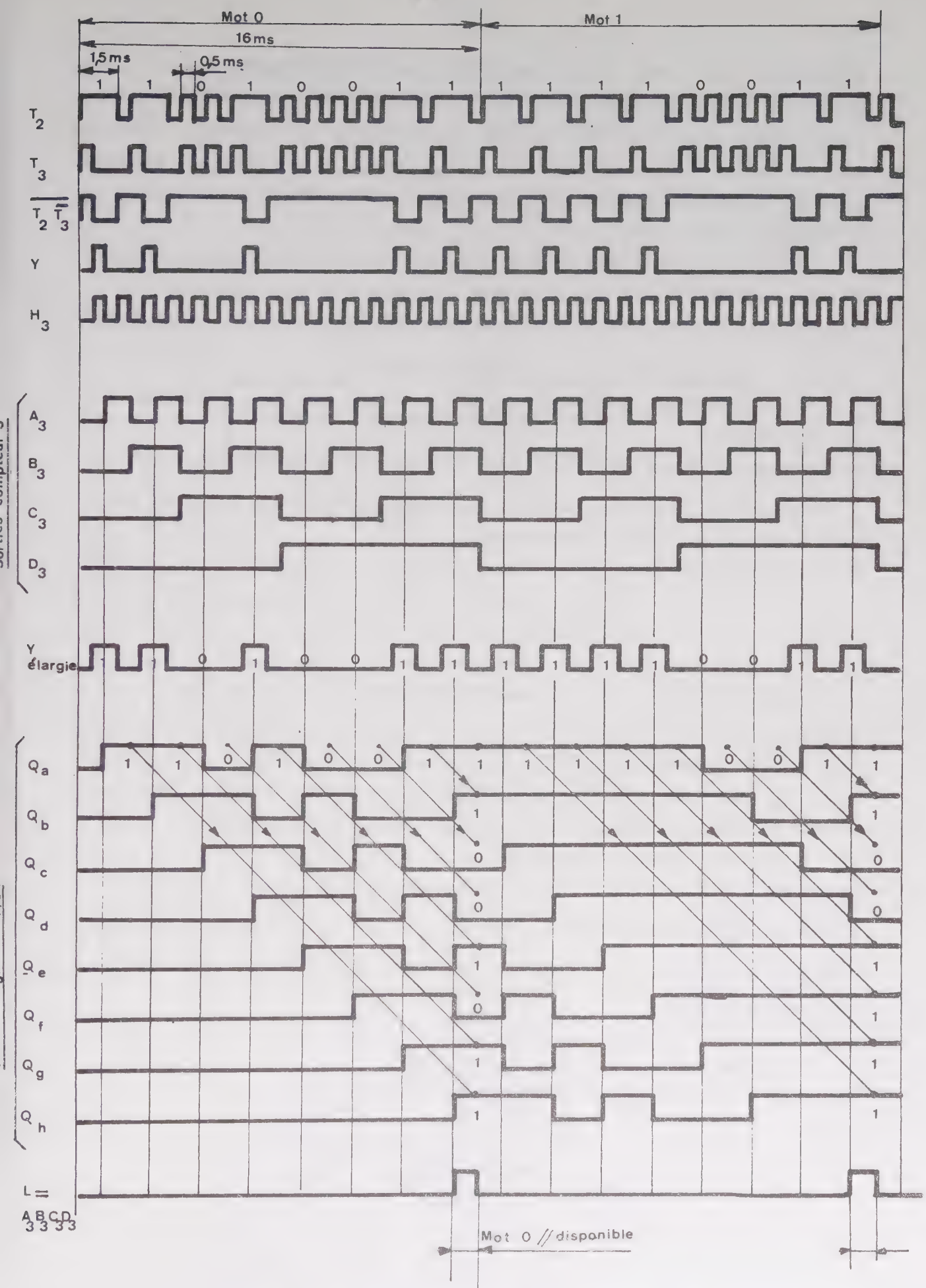


figure VI.10 : Démultiplexage et transformation serie_parallèle

Remarque : Le front descendant de chaque niveau haut de l'information Y coïncide, théoriquement, avec un front efficace d'horloge. Pour éviter qu'une avance possible d'un niveau ''1'' de Y sur le front d'horloge n'empêche la prise en compte de l'information, nous prolongeons chaque niveau haut de Y à l'aide d'un monostable SFC 4121.

La figure VI. 10 représente le démultiplexage de l'information T_2 et la transformation série-parallèle.
La planche 6 nous montre le montage réalisant cette opération.

II. 3 Entrée des mots en mémoire

Les mots à mémoriser proviennent de deux sources différentes :

- Le codeur, lors de l'inscription manuelle des valeurs $\overline{\overline{u}}_i$
- Le registre de transformation série-parallèle, lors de la lecture de la bande magnétique.

Soient - C_{Bi} les huit sorties du codeur.
- S_{Pi} les huit sorties des circuits ''E T'' situés derrière le registre série-parallèle.

Une position du commutateur de commande (position 4) correspond à l'écriture automatique des données en mémoire, c'est-à-dire l'écriture à partir de l'enregistrement magnétique. Il faut donc que pour cette position du commutateur, les sorties S_{Pi} soient reliées aux entrées ''données'' de la mémoire. Pour les autres positions du commutateur les entrées données recevront les signaux C_{Bi}.
Le signal arrivant à l'entrée donnée D_i est donc :

$$\boxed{D_i = 4\ S_{Pi} + \overline{4}\ C_{Bi}}$$

Cette fonction est réalisée avec des portes Nand comme le montre la figure VI. 11.

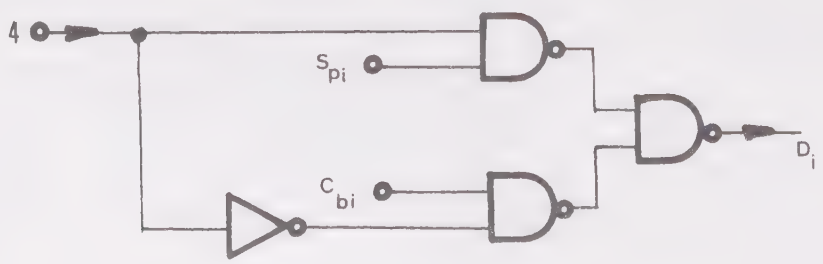


Figure VI. 11

II. 4 Enregistreur magnétique

C'est un magnétophone à cassettes de type ''grand public'', dont on a conservé la partie mécanique et l'amplificateur.

La lecture de la bande se fait avec l'amplificateur de lecture saturé. Un trigger SFC 413 placé en sortie de l'enregistreur remet en forme le signal enregistré.

Une résistance de 100Ω permet, à la lecture, la restitution de la composante continue.

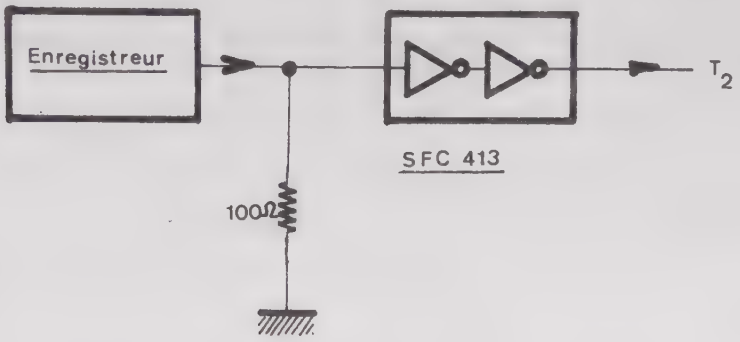


Figure VI. 12

Remarque : quand les 256 mots série sont enregistrés, un signal inhibe l'horloge H_2 et, dans ces conditions, nous avons un niveau bas à l'entrée de l'enregistreur.

La durée d'enregistrement d'un mot série est de 16 ms (voir figure VI. 10). Une fonction est enregistrée en $16 \times 256 = 4\ 100$ ms $\simeq 4$ s. La place prise sur la bande par une fonction est très faible : on prend environ 10 s, pour séparer 2 fonctions successives.

Sur une cassette C60, de durée 60 mn, il est ainsi possible de stocker $\frac{3600}{10} = 360$ fonctions $u = f(t)$.

III - Schéma général

La figure VI. 13 résume ce que nous venons d'étudier dans ce chapitre.

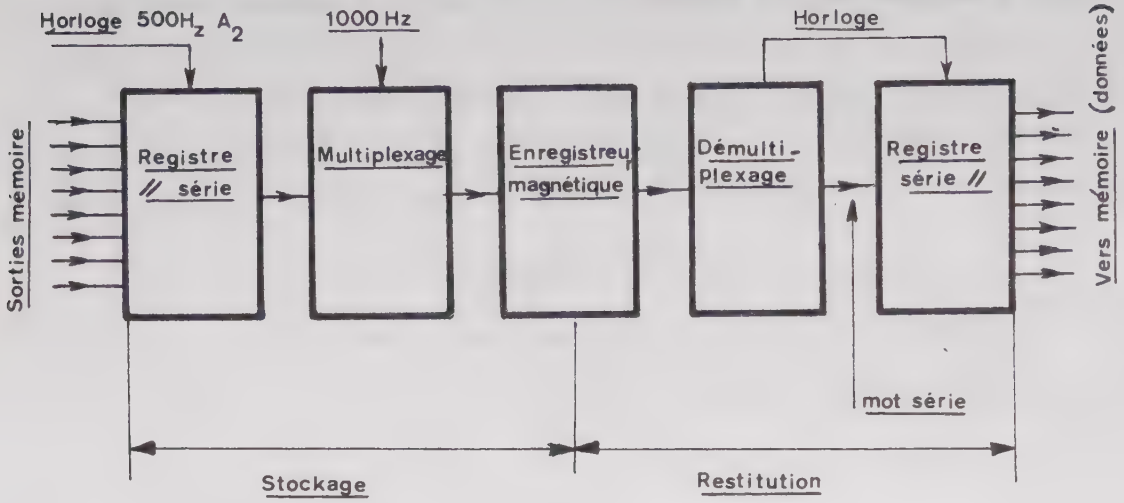


Figure VI. 13 Stockage et restitution d'une fonction

CHAPITRE VII

REALISATION DU GENERATEUR DE FONCTIONS y = f(x)

Les problèmes concernant la réalisation d'un générateur de fonctions temporelles ayant été étudiés dans les chapitres précédents, nous allons à présent envisager le cas plus général de la génération d'une fonction y = f(x), où x est une fonction temporelle quelconque x = g(t).

Nous verrons que cette opération sera possible en utilisant le matériel précédent, et en modifiant simplement le système d'adressage de la mémoire.

I - Quantification et codage de x et y

I - 1. Quantification et codage de x

Pour bien comprendre le processus nous allons opérer sur un exemple : soit à engendrer la fonction $y = x^2$ ($V_s = V_e^2$), où x est une fonction temporelle quelconque comprise entre x_{min} et x_{max}. Supposons que nous disposions, pour quantifier x, de 16 valeurs. (- 8, - 7, - 6 ..., 0, + 1, ... + 6, + 7). La fonction continue x(t) est approchée par la valeur quantifiée $\widehat{x(t)}$ la plus proche, comme le montre la figure VII.1.

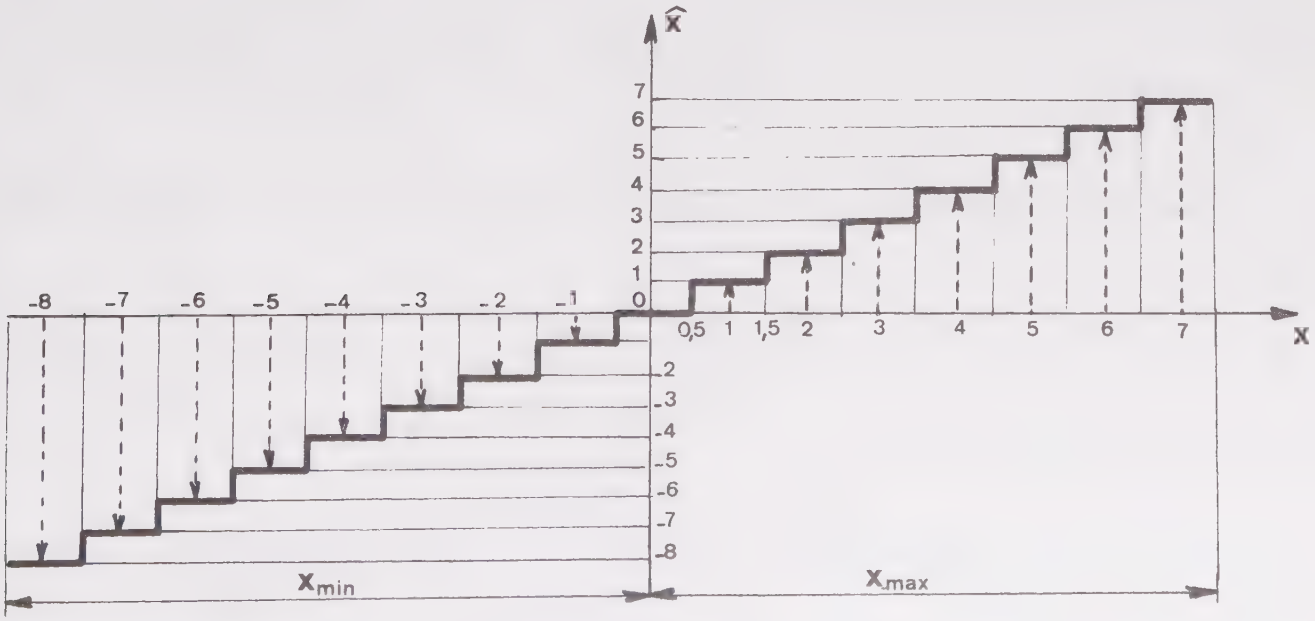


Figure VII.1

Il s'agit maintenant de coder les valeurs de $\hat{x}$. Pour cela nous utilisons un code à 4 bits (le code binaire décalé 3 bits + signe) conforme au tableau ci-dessous.

$\hat{x}_i$	-8	-7	-6	-5	-4	-3	-2	-1
$\overline{\overline{x}}_i$	0000	0001	0010	0011	0100	0101	0110	0111
$\hat{x}_i$	0	+1	+2	+3	+4	+5	+6	+7
$\overline{\overline{x}}_i$	1000	1001	1010	1011	1100	1101	1110	1111

Remarquons que la différence entre le code binaire décalé et le code des compléments à deux réside simplement dans la valeur du bit de signe.

(D'autre part nous rappelons qu'en réalité nous disposons de 256 valeurs pour coder x)

I - 2. Quantification et codage de y

$y = x^2$ et $-8 \leqslant x \leqslant +7$ donc $0 \leqslant y \leqslant +64$

Supposons que pour quantifier y nous disposions de 256 valeurs comprises entre -128 et +127. Nous utiliserons alors pour coder y un code à 7 bits + signe : le code des compléments à deux (qui est le code d'entrée du C.D.A.) conforme au tableau ci-dessous.

$\hat{y}_i$	-128	-127	.....	-1	0
$\overline{\overline{y}}_i$	10000000	10000001		11111111	00000000
$\hat{y}_i$	+1	.....	+126	+127	
$\overline{\overline{y}}_i$	00000001		01111110	01111111	

Comme nous disposons de 16 valeurs codées pour quantifier x, nous pouvons diviser l'intervalle de définition de la fonction en 15 parties égales.

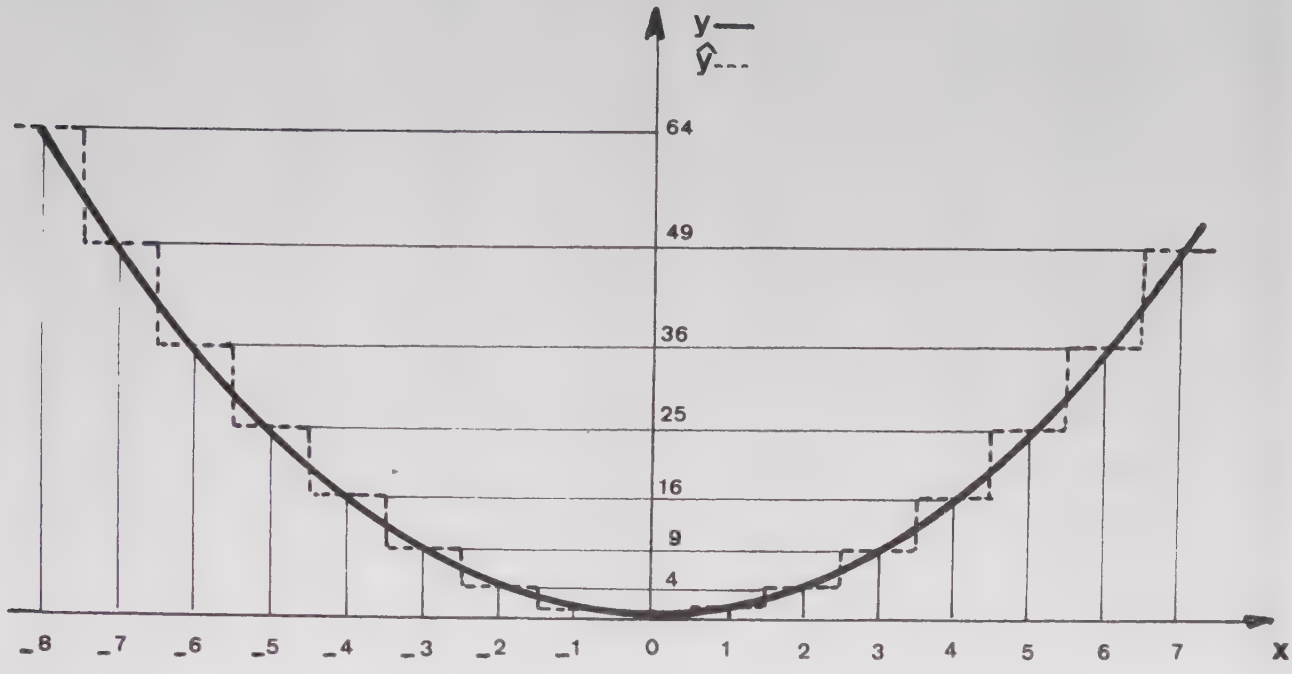


Figure VII.2

Les valeurs de y aux points de rupture ainsi définis sont quantifiées puis codées comme indiqué dans le tableau ci-après.

x_i	x_i binaire décalé	y_i	y_i C^t à deux
- 8	0000	+ 64	0 1000000
- 7	0001	+ 49	0 0110001
- 6	0010	+ 36	0 0100100
- 5	0011	+ 25	0 0011001
- 4	0100	+ 16	0 0010000
- 3	0101	+ 9	0 0001001
- 2	0110	+ 4	0 0000100
- 1	0111	+ 1	0 0000001
0	1000	0	0 0000000
+ 1	1001	+ 1	0 0000001
+ 2	1010	+ 4	0 0000100
+ 3	1011	+ 9	0 0001001
+ 4	1100	+ 16	0 0010000
+ 5	1101	+ 25	0 0011001
+ 6	1110	+ 36	0 0100100
+ 7	1111	+ 49	0 0110001

II - Inscription des mots en mémoire

Les mots $\overline{y_i} = \overline{f(x_i)}$ sont à inscrire en mémoire. Pour inscrire $\overline{f(x_i)}$ nous devons adresser $\overline{x_i}$. Pour celà nous utilisons le système codeur, bouton-poussoir et compteur n° 1 comme pour l'entrée en mémoire des mots $\overline{f(t_i)}$. Il faut cependant tenir compte du fait que les sorties du compteur se font en binaire pur et que x est codé dans le code binaire décalé.

Le tableau ci-dessous résume la situation.

t_i	Entrées Adresses	x_i correspondant	Mot $\overline{\overline{f(x)}}$ à écrire
0	0000	- 8	f(-8) = 64 = 01000000
1	0001	- 7	f(-7) = 49 = 00110001
2	0010	- 6	f(-6) = 36 = 00100100
3	0011	- 5	f(-5) = 25 = 00011001
4	0100	- 4	f(-4) = 16 = 00010000
5	0101	- 3	f(-3) = 9 = 00001001
6	0110	- 2	f(-2) = 4 = 00000100
7	0111	- 1	f(-1) = 1 = 00000001
8	1000	0	f(0) = 0 = 00000000
9	1001	+ 1	f(+1) = 1 = 00000001
10	1010	+ 2	f(+2) = 4 = 00000100
11	1011	+ 3	f(+3) = 9 = 00001001
12	1100	+ 4	f(+4) = 16 = 00010000
13	1101	+ 5	f(+5) = 25 = 00011001
14	1110	+ 6	f(+6) = 36 = 00100100
15	1111	+ 7	f(+7) = 49 = 00110001

A l'instant t = 0 les sorties du compteur sont toutes à zéro et la ligne 0 de la mémoire est validée. Sur cette ligne il faudra écrire f(x = - 8) car à la lecture l'adresse 0000 correspond à x = - 8.

A l'instant t = 0 le mot f(- 8) est affiché sur le codeur et l'appui sur le bouton poussoir l'inscrit en mémoire. Les mots $\overline{\overline{f(x_i)}}$ seront écrits dans l'ordre suivant : f(- 8), f(- 7), f(- 6), ... f(0) ..... f(+ 7).

III - Lecture de la mémoire

Il s'agit de sortir à l'adresse $\overline{\overline{x_i}}$ le mot $\overline{\overline{f(x_i)}}$. A l'entrée du générateur est appliqué x(t). Cette fonction x(t) est quantifiée et codée (dans le code binaire décalé), à l'aide d'un convertisseur analogique-digital, avant d'attaquer les entrées adresses de la mémoire.

Les valeurs $\overline{\overline{x_i}}$, appliquées aux entrées adresses, sortent de la mémoire les valeurs correspondantes $\overline{\overline{f(x_i)}}$. Il faut donc pouvoir adresser $\overline{\overline{t_i}}$ à l'écriture et $\overline{\overline{x_i}}$ à la lecture, ce que montre la figure VII.3.

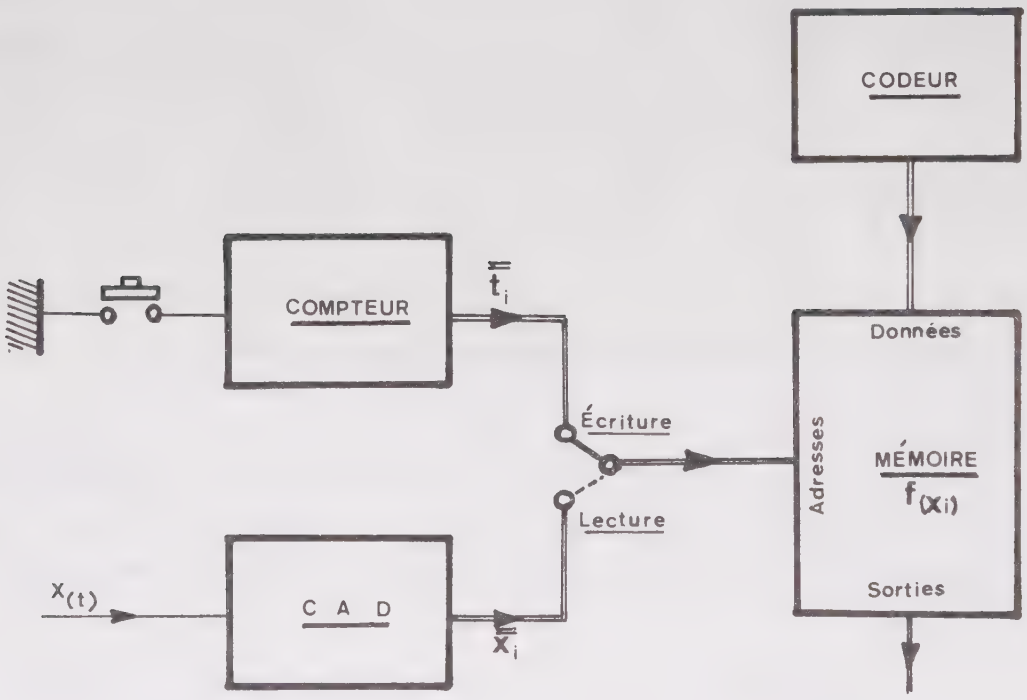


Figure VII.3

IV - Remarque

Dans ce qui précède, nous avons quantifié x à l'aide de 16 valeurs, ceci pour simplifier les tableaux. En réalité la quantification de x se fait à 256 niveaux. Le code de sortie du C.A.D. est le ''binaire décalé'' 8 bits dont un de signe.

L'intervalle de définition de la fonction y = f(x) est alors divisé en 255 parties égales et, en position écriture, les valeurs f(- 128), f(- 127) ..... f(0), ...f(+ 126), f(+ 127) sont écrites successivement.

V - Fonctionnement du convertisseur analogique-digital

V - 1. Caractéristiques

Plusieurs types de convertisseurs sont actuellement disponibles (à compteur de rampes, à approximations successives, à conversion simultanée...). Les plus courants sont les convertisseurs ''à approximations successives'' qui sont de complexité moyenne, ont une vitesse de conversion correcte et une précision élevée.

Nous avons choisi le convertisseur ADC 10Z, fabriqué par la firme ''Analog Devices'', dont les principales caractéristiques sont données ci-dessous:

- type : à approximations successives.
- résolution : 10 bits.
- temps de conversion : 20 μ s.
- sorties parallèles dans le code des compléments à deux ou binaire décalé.
- sortie série en binaire décalé.
- compatible avec la technologie T.T.L.
- niveaux d'entrée $-5 \leqslant x \leqslant +5$ V
  $-10 \leqslant x \leqslant +10$ V
- horloge incorporée.

Le schéma logique du convertisseur est représenté planche 7.

V - 2. Fonctionnement

La technique de conversion consiste à comparer la tension analogique d'entrée x à une tension analogique précise élaborée à la sortie d'un convertisseur digital_analogique comme le montre la figure VII.4.

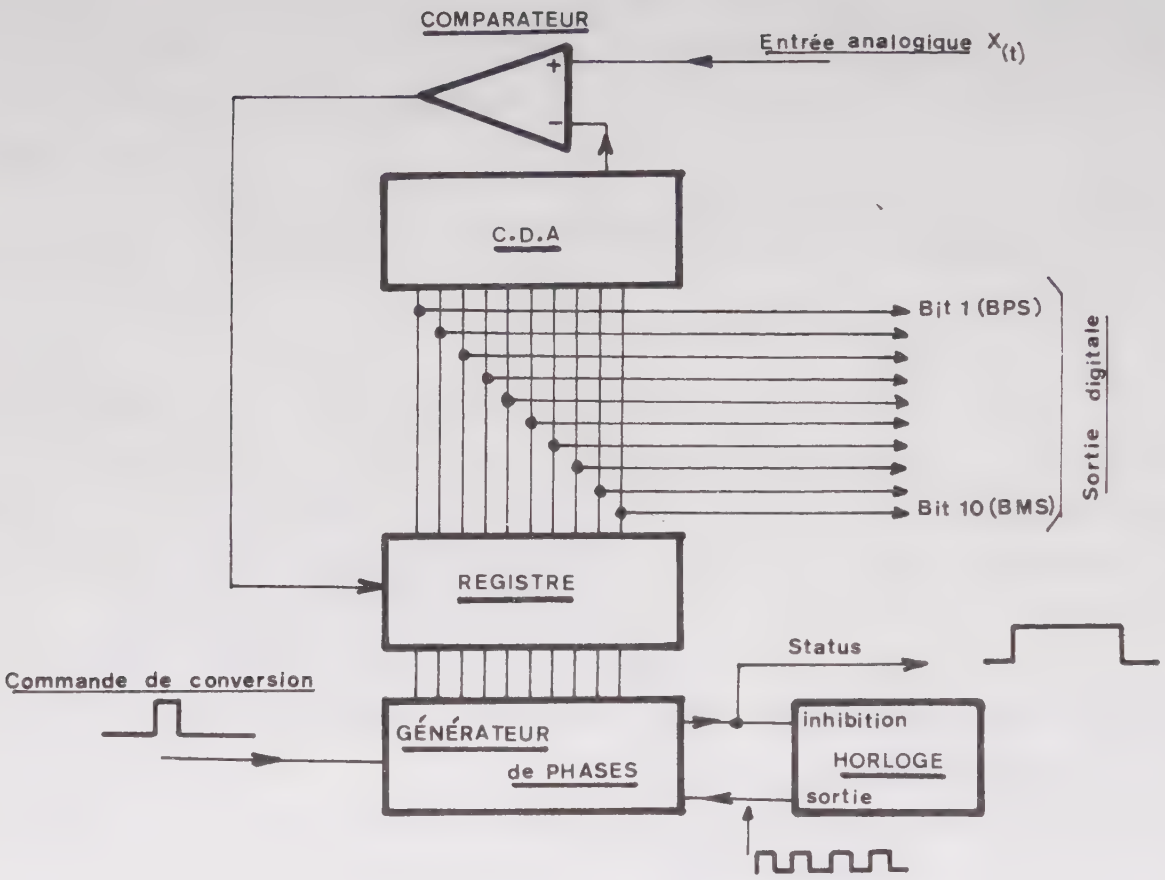


Figure VII.4

Le front montant de l'impulsion de commande de conversion place les sorties status et BPS à l'état haut et les digits 2 à 10 à l'état bas.

La conversion commence au front descendant du signal de conversion qui fait démarrer l'horloge interne.

Quand le BPS est à l'état haut, la tension issue du C.D.A. correspond au zéro de l'échelle analogique (puisque le convertisseur travaille dans le code binaire décalé : 1 000000000 = 0)

Cette tension est comparée au signal analogique d'entrée x, dont le signe est ainsi déterminé :

- Si la tension d'entrée est négative, le comparateur bascule et remet à zéro le bit le plus significatif, le bit suivant est placé à ''un'' au 2e top d'horloge et le processus recommence (la tension issue du C.D.A. est comparée au signal d'entrée).

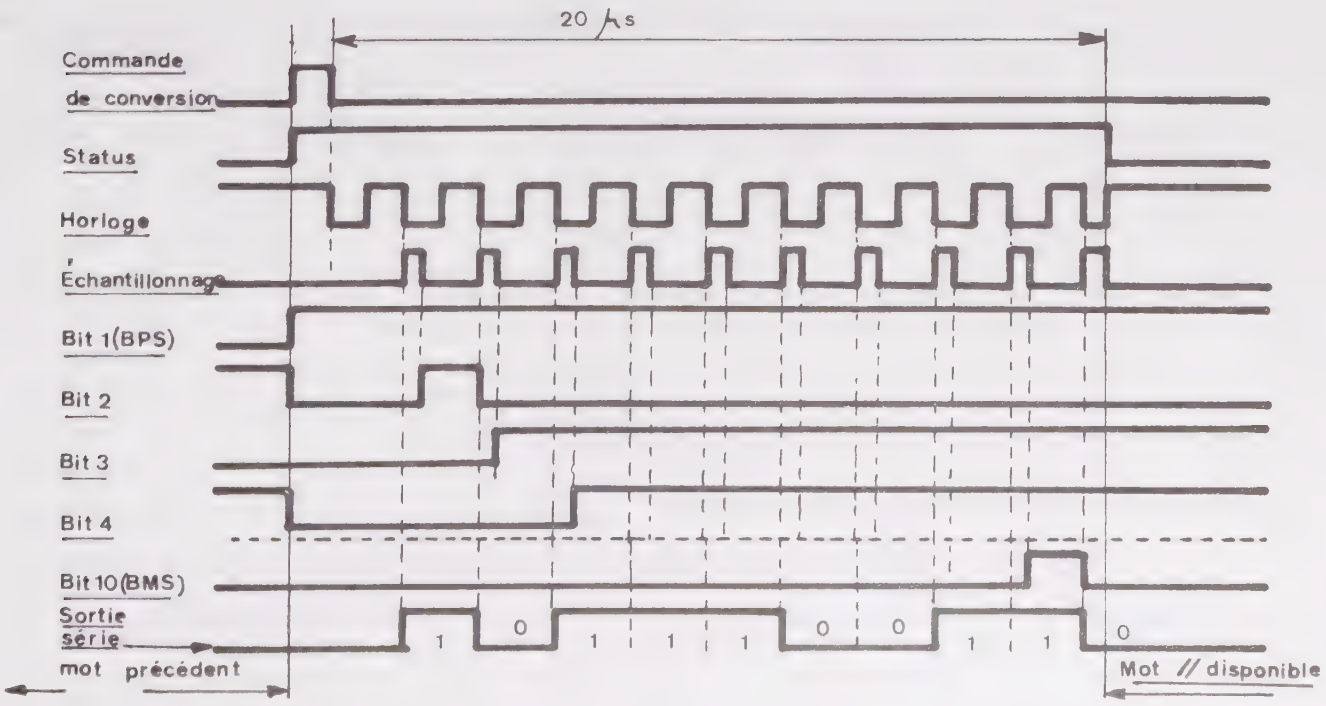
- Si la tension d'entrée est positive, le comparateur reste dans son état initial, le ''un'' est conservé en position B.P.S. Le bit suivant est alors mis à l'état haut et une nouvelle comparaison peut être effectuée.

Le processus continue jusqu'à ce qu'un niveau haut ait été essayé à toutes les entrées du C.D.A.

Pendant la conversion la sortie status est à l'état ''un''. Le passage à l'état bas de ce signal indique la fin de la conversion. Le mot digital, représentant la tension analogique x convertie, est alors disponible sous forme parallèle aux 10 entrées du C.D.A. (Dans le convertisseur ADC 10Z il est aussi disponible sous forme série, la sortie échantillonnage pouvant être utilisée pour la transmission des données série).

Remarquons qu'avec ce type de convertisseur le temps de conversion ne dépend pas du niveau d'entrée ; il est ici de 10 périodes d'horloge.

La figure VII.5 résume le processus.



V - 3. Mode de conversion

Suivant l'allure du signal de commande de conversion on distingue :

- La conversion coup par coup : le signal de conversion est engendré à l'aide d'un bouton-poussoir.

- La conversion continue, surtout utilisée dans les C.A.D. à compteur de rampes.

- La conversion par échantillonnage, que nous utilisons, et qui nécessite un signal de commande de conversion périodique (figure VII.6).

Les mots parallèles sont disponibles à intervalles de temps réguliers.

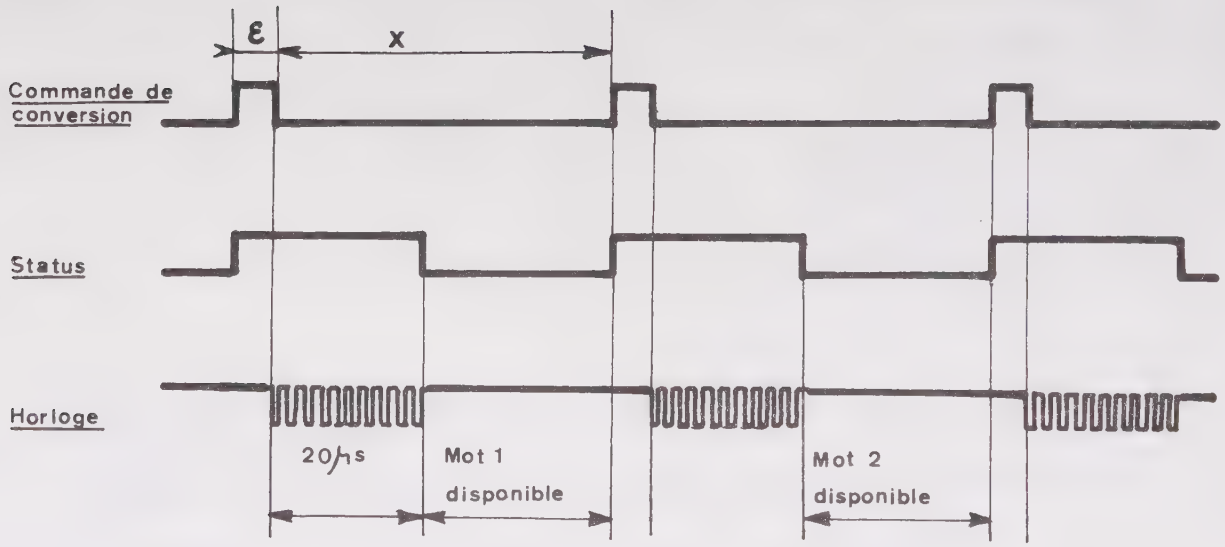


Figure VII.6

Le mot parallèle est disponible pendant h = X - 20µs
La conversion par échantillonnage nécessite donc X > 20µs.

V - 4. Interpolation linéaire

La figure VII.6 nous montre que les mots parallèles, représentant l'équivalent binaire de la tension analogique, ne sont disponibles que lorsque le signal $\overline{status}$ est à l'état un.

Nous combinons les sorties S_1 (B.P.S.), S_2, ... S_{10} (B.M.S.) du convertisseur analogique-digital avec ce signal pour obtenir les informations :

$$S'i = Si \cdot \overline{Status}$$

qui se présentent sous la forme indiquée figure VII.7.

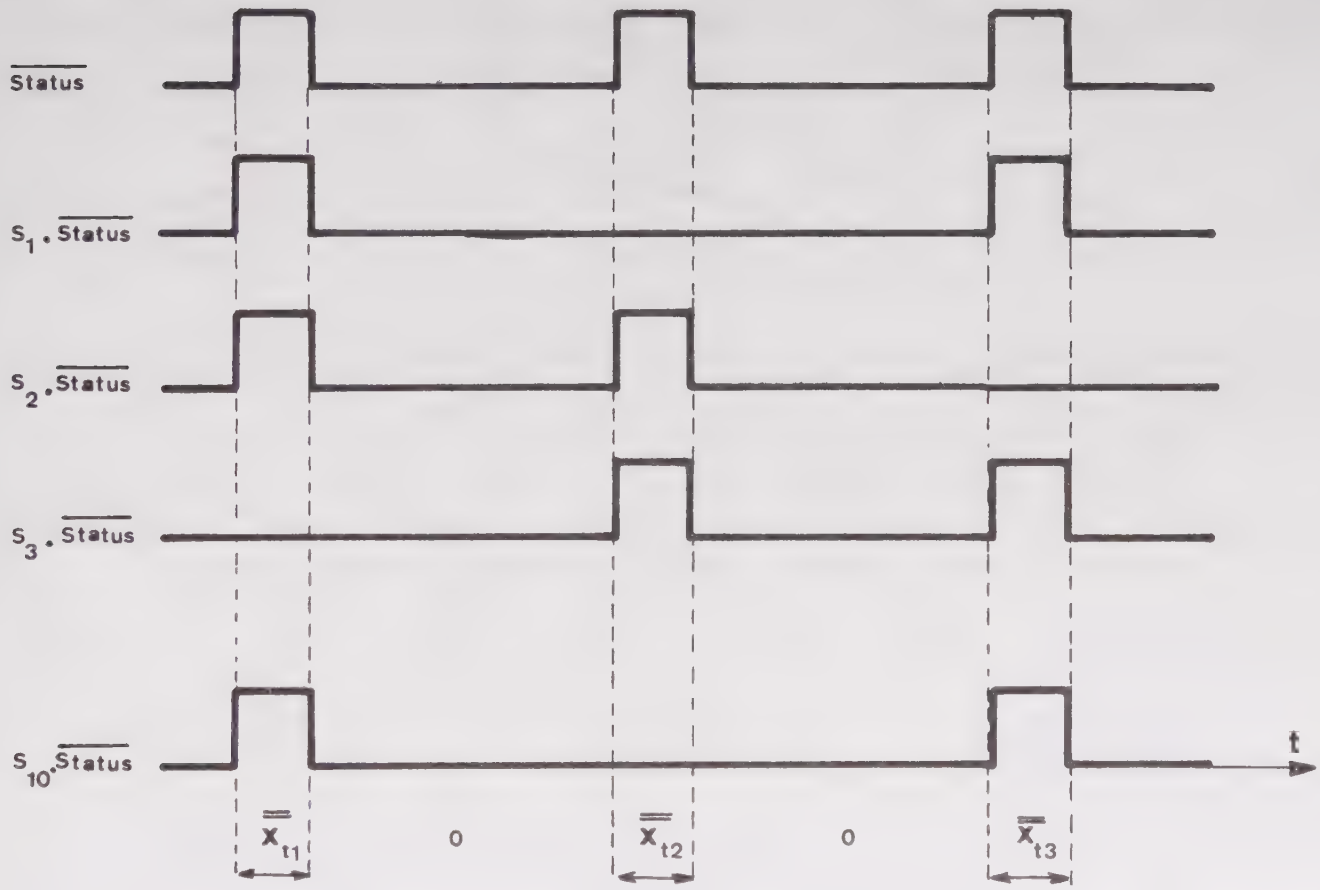


Figure VII.7

Ces signaux ne peuvent être envoyés directement aux entrées adresses de la mémoire : on constate en effet que l'adresse 0000000000 revient périodiquement entre deux adresses $\underline{\underline{x}}_{ti}$ et $\underline{\underline{x}}_{ti+1}$.

Nous opérons de la façon suivante :

Le signal de commande de conversion est constitué par le signal d'horloge H_1 inversé (H_1 est le signal issu du générateur d'adresses). $\overline{H_1}$ est donc un signal carré.

Les signaux S'i = Si . $\overline{\text{Status}}$ sont dirigés vers les entrées de bascules de type ''D'' SFC 475. Le signal d'horloge de ces bascules est le signal $\overline{\text{Status}}$. Les sorties de ces premières bascules attaquent les entrées de bascules de même type commandées par le signal d'horloge $\overline{H_1}$. Le schéma du montage est représenté figure VII.8.

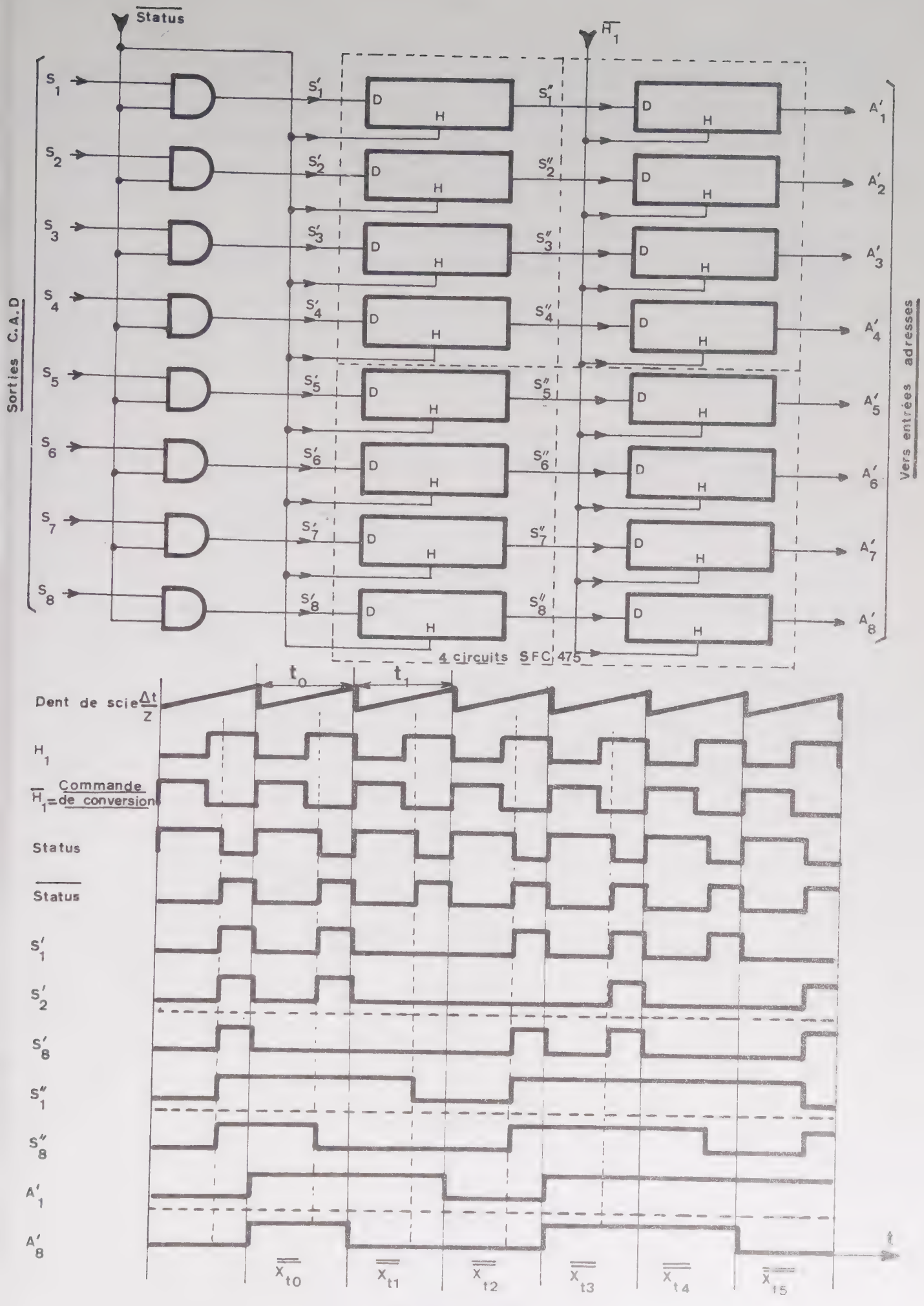

Status
$\overline{H_1}$
Sorties C.A.D
Vers entrées adresses
D
H
4 circuits SFC 475
Dent de scie $\frac{\Delta t}{Z}$
t_0
t_1
H_1
$\overline{H_1}$ = Commande de conversion
Status
$\overline{Status}$
S'_1 S'_2 S'_8 S''_1 S''_8
A'_1 A'_8
$\overline{X}_{t0}$ $\overline{X}_{t1}$ $\overline{X}_{t2}$ $\overline{X}_{t3}$ $\overline{X}_{t4}$ $\overline{X}_{t5}$
t

figure VII.8

Les sorties A'_1, A'_2 .... A'_8 sont dirigées vers les entrées adresses de la mémoire. Ces sorties représentent les valeurs codées de x aux instants t_o, t_1, ... On constate que les sorties A'_1 à A'_8 sont en phase avec les dents de scie $\frac{\Delta t}{2}$ utilisées pour l'interpolation.

L'interpolation linéaire est réalisée de la même façon que précédemment. En effet : à l'instant t_i, x est égal à x_{ti}, le mot sorti de la mémoire est y_{ti} ; à l'instant t_{i+1}, x est égal à x_{ti+1}, le mot sorti de la mémoire est y_{ti+1}.

L'interpolation est réalisée comme précédemment suivant la formule :

$$y_{t_i, t_{i+1}} = y_{ti} + \frac{y_{ti+1} - y_{ti}}{2} \frac{\Delta t}{}$$

Les entrées adresses de la mémoire reçoivent donc, suivant le mode d'utilisation, f(t) ou f(x) , les sorties du compteur d'adresses A_i ou les sorties du système précédent A'_i.

Un interrupteur permet de choisir le mode de fonctionnement comme indiqué figure VII.9.

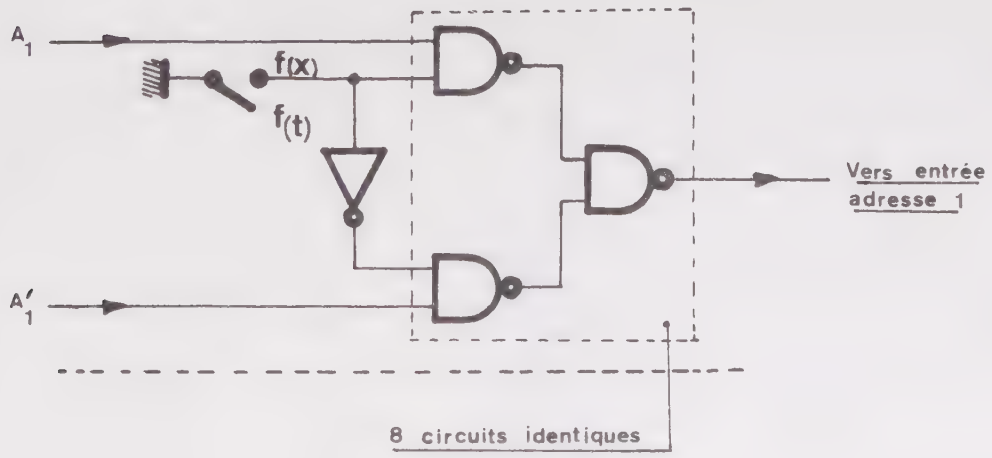


Figure VII.9

Remarque : La mémoire ne possèdant que huit entrées adresses, nous utilisons seulement les huit sorties les plus significatives du C.A.D.

CHAPITRE VIII

LES GENERATEURS

Les générateurs fournissent les signaux d'horloge nécessaires à :

- La lecture du contenu de la mémoire, donc la restitution de la fonction quantifiée ;
- L'enregistrement du contenu de la mémoire sur bande magnétique.

Ils délivrent aussi les dents de scie utilisées pour l'interpolation linéaire entre deux points de rupture.

I - Générateur de signaux en dents de scie

I - 1. Généralités

Les signaux en dents de scie sont appliqués aux entrées $\pm$ référence du convertisseur digital-analogique multiplieur. Leur amplitude doit être égale à 10 V.

La dent de scie est obtenue aux bornes d'un condensateur, chargé à courant constant et qui se décharge à travers un transistor unijonction. Le schéma de base est représenté figure VIII.1

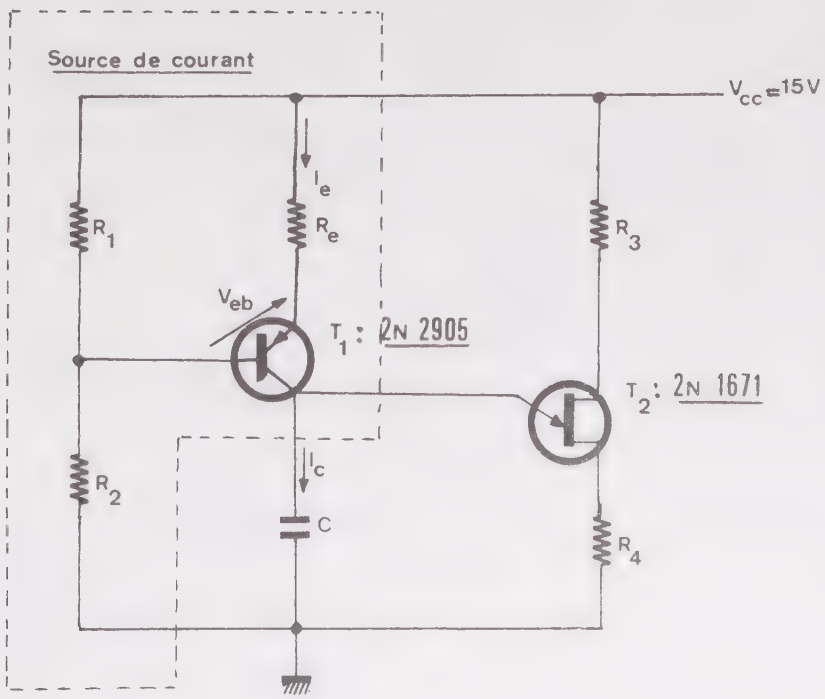
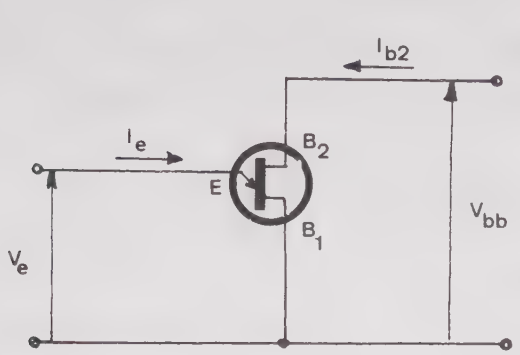


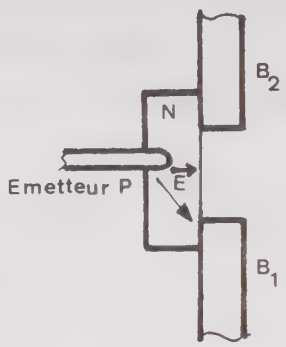
Figure VIII.1

Le transistor bipolaire T1 2N 2905 se comporte comme une source de courant continu de valeur

$$I_c \simeq I_e = \frac{V_{cc}\,\frac{R_1}{R_1+R_2} - V_{eb}}{R_e}$$

Le transistor unijonction est un tripôle présentant une caractéristique à résistance négative de type ''N'' entre son émetteur et sa base ''une'' lorsqu'une tension positive est appliquée entre la base 1 et la base 2. [11] , [12]





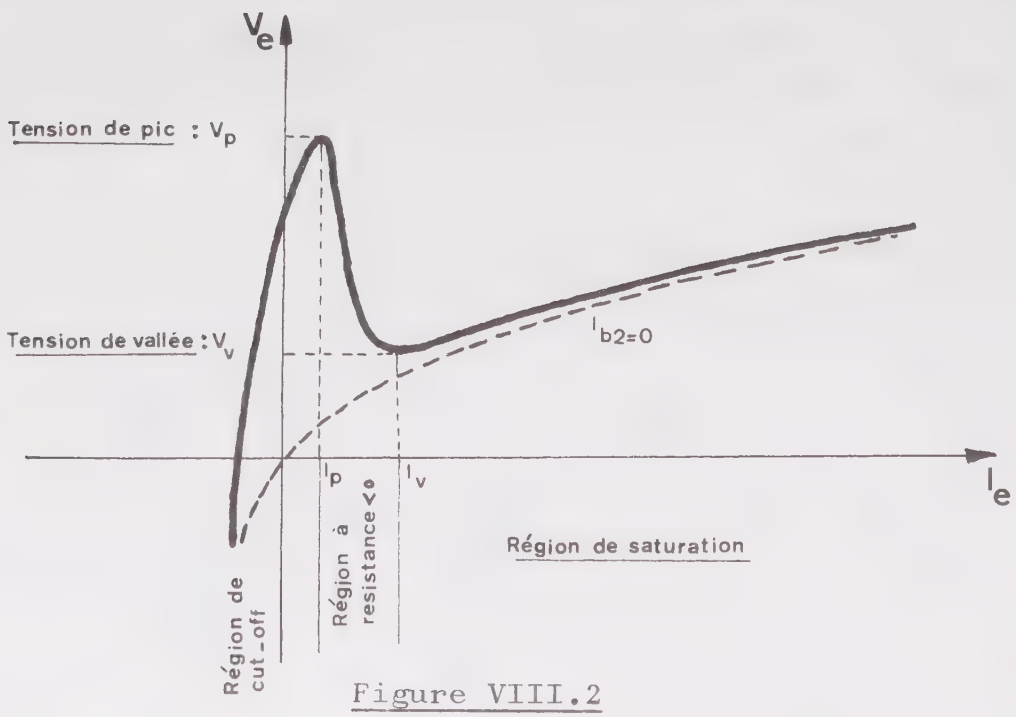


Figure VIII.2

I - 2. Fonctionnement

Reprenons le schéma du montage :

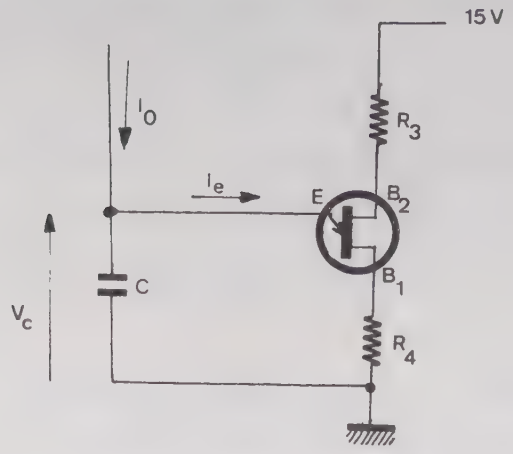


Figure VIII.3

Au départ le condensateur est déchargé et $V_e = 0$, $I_e \simeq 0$. Le courant continu I_o charge C suivant la loi :

$$V_e = V_c = \frac{I_o}{C} t$$

La tension V_e augmente linéairement et, à l'instant t_o, elle atteint la valeur V_p.

A ce moment la résistance entre la base 1 et l'émetteur est très faible et I_o ne passe plus dans le condensateur qui se décharge rapidement dans la jonction E B_1 jusqu'à ce que la tension à ses bornes devienne égale à V_v ; le condensateur recommence alors à se charger. Aux bornes du condensateur nous obtenons une dent de scie variant de V_v à V_p dont la période est (si l'on néglige le temps de décharge du condensateur)

$$T = \frac{C}{I_o} (V_p - V_v)$$

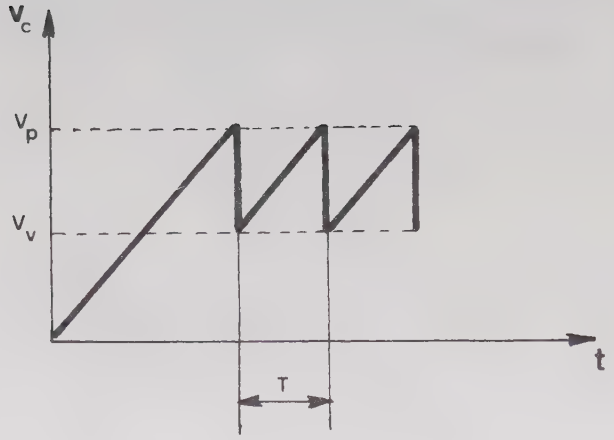


Figure VIII.4

On voit qu'il est possible de faire varier T de deux façons :

- par bonds, en changeant les capacités C ;
- progressivement, en ajustant la valeur de I_o, ce qui peut être obtenu en faisant varier la résistance d'émetteur du transistor bipolaire.

I - 3. Exemple de calcul

Le transistor unijonction utilisé est le 2N 1671 dont les caractéristiques sont les suivantes :

$\eta = 0,58$
$V_p = 12$ V
$V_v = 6$ V
$I_p = 6\,\mu$A

Avec le transistor bipolaire nous réalisons une source de courant de 25 mA et nous plaçons dans le circuit une capacité $C = 100\,\mu$F.

Il vient alors :

$$f = \frac{I_o}{C\,(V_p - V_v)} = \frac{25.10^{-3}}{10^{-4}\times 6} = \frac{250}{6} = 41,5 \text{ Hz}$$

En faisant varier I_o de 25 à 2 m A, la capacité de 100 µF étant conservée, nous ferons varier f de 41,5 Hz à 3,3 Hz.

5 condensateurs de 100 ; 10 ; 1 ; 0,1 ; 0,01 µF permettent de faire varier la fréquence du générateur de dents de scie de 3 Hz à 415 khz.

I - 4. Stabilisation en température

L'évolution de la caractéristique de la jonction E.B avec la température peut entraîner une variation de la tension de sortie.

Cette évolution est limitée en plaçant une résistance R_3 dans la base B_2. Cette résistance est calculée à l'aide de la formule :

$$R_3 = \frac{0,7\ Rbb}{Vbb} + \frac{1-\eta}{\eta} R_4 \qquad 12$$

où Rbb est la résistance interbases de l'U.J.T. et R_4 la résistance placée entre la base B_1 et la masse pour limiter le courant I_e.

Nous prenons :

$R_4 = 27\ \Omega$ et $R_3 = 330\ \Omega$

I - 5. Mise à zéro de la base de la dent de scie

La dent de scie obtenue avec le transistor unijonction 2 N 1671 varie de 6 V à 12 V. Pour ramener la base de ce signal à 0 V, nous utilisons un amplificateur opérationnel monté en amplificateur différentiel (figure VIII.5)

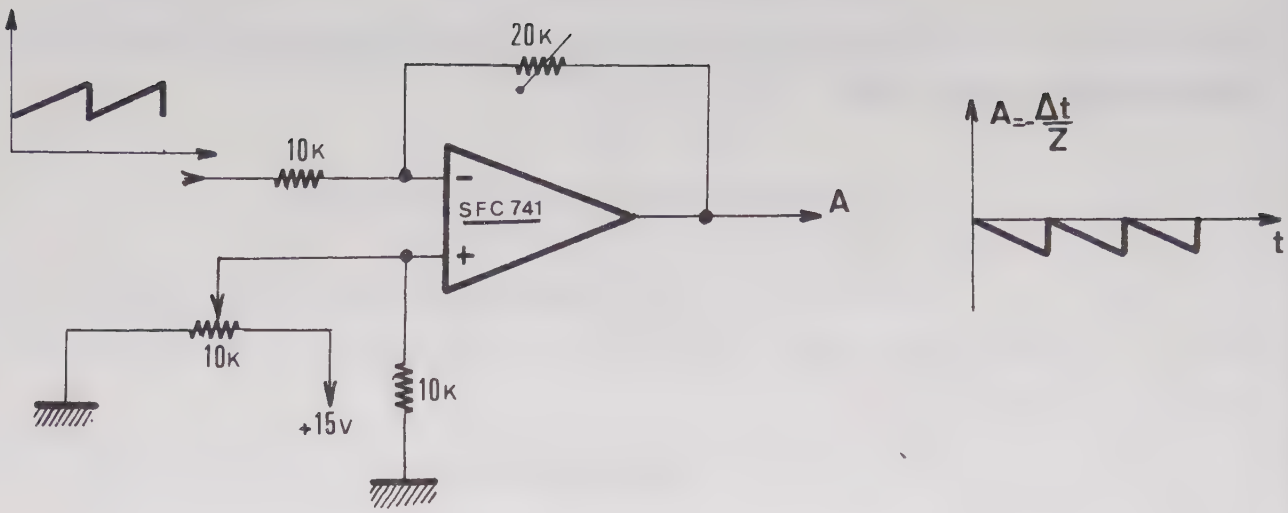


Figure VIII.5

Un amplificateur opérationnel monté en inverseur de gain -1 nous permet d'obtenir une dent de scie positive que l'on appliquera à l'entrée + Référence du C.D.A.M.

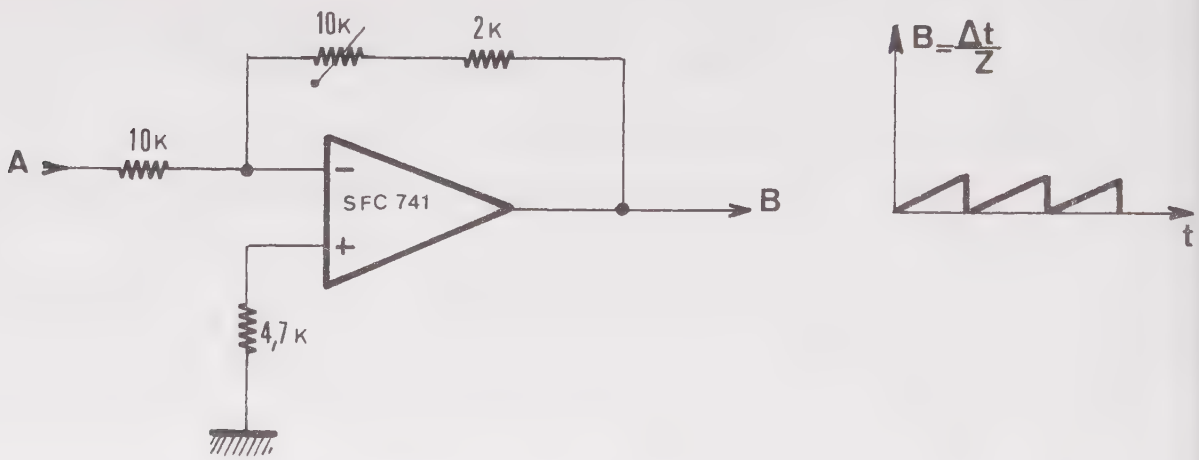


Figure VIII.6

Le signal A est appliqué à l'entrée - Référence du C.D.A.M.

II - Générateur de signaux carrés (horloge du compteur d'adresses)

Les signaux carrés, constituant l'horloge H_1 du compteur d'adresses, sont obtenus à partir de la dent de scie A grâce à un trigger de type SFC 413, qui nous permet de sortir en T.T.L. à la même fréquence que les dents de scie.

Le montage est représenté figure VIII.7.

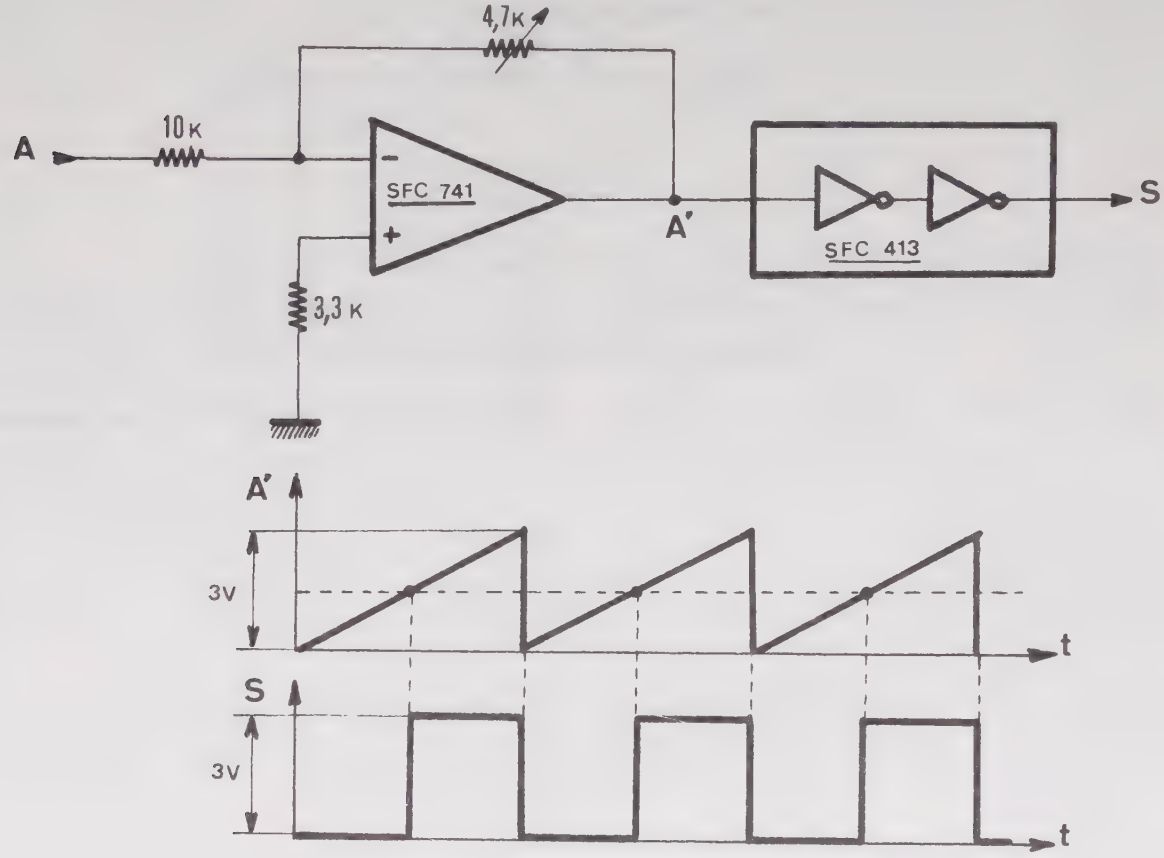


Figure VIII.7

La planche 8 représente l'ensemble générateur de signaux en dents de scie et de signaux carrés, dont la fréquence peut varier de 3 hz à 415 khz.

III - Multivibrateur 1 000 Hz

Ce générateur est utilisé lors du transfert des données, de la mémoire vers la bande magnétique.

Il est réalisé à partir de deux circuits monostables SFC 4121 dont le schéma logique est donné figure VIII.8.

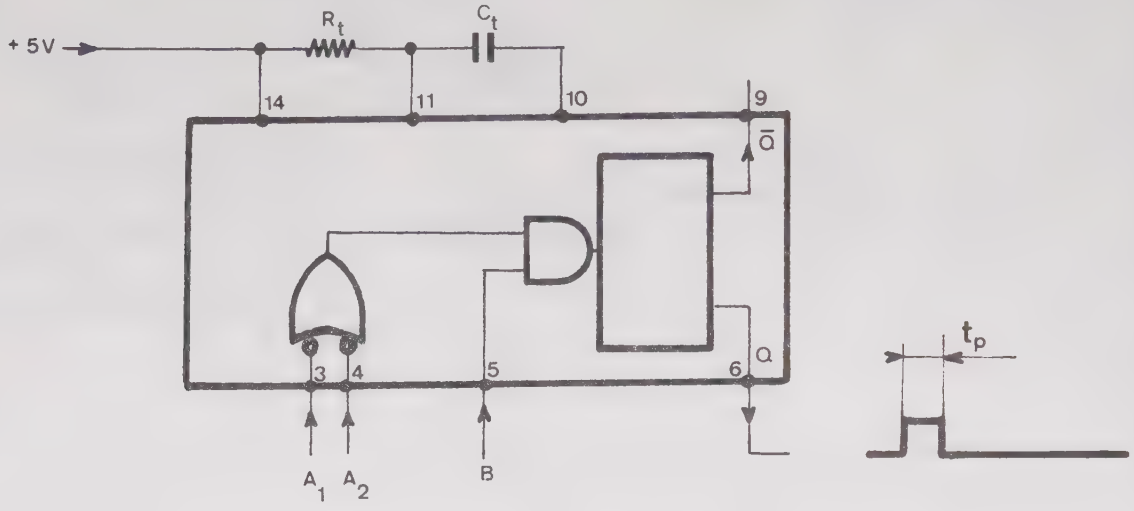


Figure VIII.8

Un condensateur et une résistance extérieurs C_T, R_T, permettent d'obtenir des impulsions dont la largeur est donnée par la formule :

$$t_p = R_T . C_T \, \mathrm{Log}_e 2$$

Le déclenchement du monostable peut être obtenu soit par un front croissant sur l'entrée B, soit par un front décroissant sur l'une des entrées A.

Après le déclenchement les sorties sont indépendantes des transitions ultérieures et sont fonction uniquement de la constante de temps. La stabilité de l'impulsion est limitée seulement par la précision des composants extérieurs.

Deux monostables de ce type bouclés entre eux comme l'indique la figure VIII.9 constituent le multivibrateur [13]

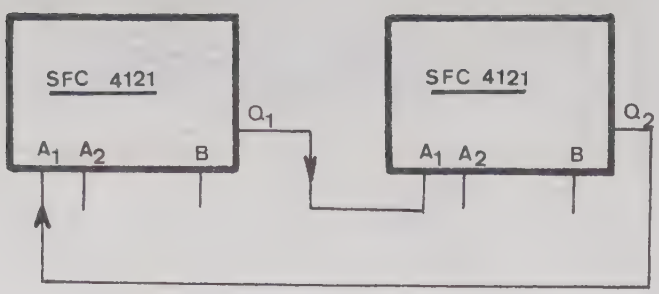


Figure VIII.9

Comme les deux sorties Q_1 et Q_2 sont toujours opposées, l'alimentation des circuits crée un front positif à l'une des entrées A_1, déclenchant ainsi le multivibrateur.

Pour avoir un signal carré de 1 000 Hz, c'est-à-dire tp = 0,5 ms, nous prenons : C_T = 100 nF et R_T = 8,2 kΩ pour les deux monostables.

CHAPITRE IX

COMMANDE GENERALE

Le système de commande offre un éventail de possibilités de réglage permettant l'utilisation optimum de l'appareil. L'agencement des différentes commandes est réalisé de manière que chaque combinaison corresponde à un fonctionnement déterminé et de manière à éviter au maximum qu'une fausse manipulation ne vienne perturber le système.

Le schéma du système de commande est représenté planche 9.

I - Principaux modes d'utilisation

L'appareil engendre deux types de fonctions :

- des fonctions temporelles : $y = f(t)$
- des fonctions de fonctior : $y = f(x)$ où $x = g(t)$

Bien que le premier type de fonction soit un cas particulier du second, les deux modes de fonctionnement sont différenciés. En effet :

- Pour les fonctions f(x), le signal x est engendré par un système extérieur, puis quantifié et codé à l'aide d'un convertisseur analogique-digital.
- Pour les fonctions f(t), le signal $\overline{\overline{x}} = \overline{\overline{t}}$ est élaboré à l'intérieur de l'appareil, à partir d'un générateur de signaux carrés H_1 et d'un compteur, comme nous l'avons vu dans les chapitres précédents.

Un inverseur permet de sélectionner le mode de fonctionnement f(x) ou f(t). Cet inverseur réalise l'aiguillage vers les entrées adresses de la mémoire, des sorties du compteur $\overline{\overline{t}}_i$, ou des sorties du C.A.D. $\overline{\overline{x}}_i$.

II - Les différentes commandes

La figure IX.1 représente le tableau de commande de l'appareil.

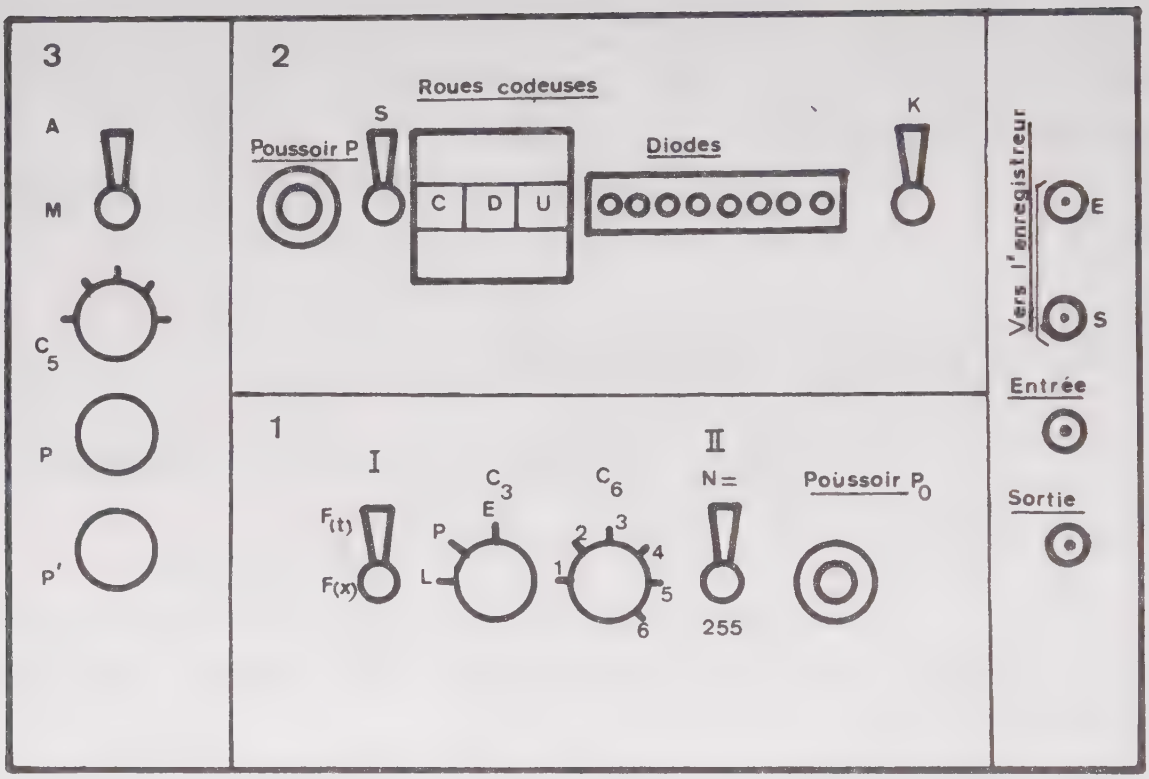


Figure IX.1

On y distingue trois grandes parties:

II -1. L'ensemble de sélection des opérations, qui comprend :

a- l'inverseur permettant de sélectionner le mode de fonctionnement : f(x) ou f(t).

b- un commutateur 3 positions L.P.E. (C_3) correspondant aux opérations de lecture, pause et écriture.

- en position L, le signal W de la mémoire est à l'état haut ;

- en position P, le signal W est à l'état bas mais les mémoires sont isolées (signal 1G, 2G du décodeur SFC 4154 à l'état haut) ;

- en position E, le signal W de la mémoire est à l'état bas et il est possible d'y inscrire les données.

Remarque : Le passage de L à P ou de E à P entraîne la remise à zéro automatique du compteur d'adresses et des différents registres sauf dans un cas particulier que nous aborderons par la suite.

c- le commutateur 6 positions (C_6) qui sélectionne les opérations suivantes :

1- écriture
2- lecture commandée
3- réécriture manuelle
4- utilisation de la bande magnétique
5- lecture ''un coup''
6- lecture répétitive.

Les opérations de lecture se font avec le commutateur C_3 en position ''lecture'', les opérations d'écriture se font avec C_3 en position ''écriture''.

d- l'inverseur II permet d'arrêter la lecture périodique de la fonction à l'adresse indiquée par le codeur, quand le commutateur C_6 est en position 6.

e- le bouton poussoir p_o permet la remise à zéro manuelle des différents compteurs et registres. On l'utilise pour :

- la remise à zéro générale
- la commande de lecture ''un coup''
- le démarrage de l'enregistrement sur bande magnétique.

Ce bouton poussoir est suivi d'un circuit antirebondissement (figure IX.2).

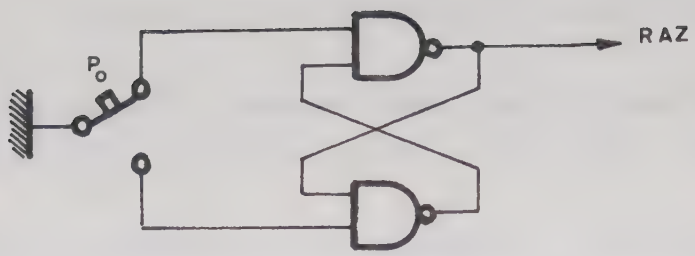


Figure IX.2

II - 2. Le système de commande du codage et de l'inscription qui comprend :

a) Le bouton poussoir p qui, à l'écriture, engendre le signal qui incrémente le compteur d'adresses.

b) Les roues codeuses et l'inverseur de signe qui permettent d'inscrire en mémoire le mot désiré (compris entre - 128 et + 127), qui permettent aussi d'arrêter la lecture de la fonction f(t) à une adresse comprise entre 0 et + 255.

c) Huit diodes électroluminescentes qui visualisent l'état des sorties du compteur 1 et permettent de contrôler l'entrée des données en mémoire. Elles peuvent être déconnectées grâce à l'interrupteur K.

II - 3. La commande de fréquence et d'amplitude

Le commutateur 5 positions C_5 et le potentiomètre P permettent de régler la fréquence du générateur de signaux carrés H_1. Ces signaux sont utilisés pour commander la fréquence de la fonction f(t) ou pour l'échantillonnage de x(t).

Le potentiomètre P' permet d'ajuster le niveau de sortie.

III - Utilisation de l'appareil

III.1.Mode y = f(t)

L'inverseur I se trouve en position y = f(t)

III.1.1. Ecriture manuelle des mots en mémoire : E_1

Le commutateur C_3 est en position E, ce qui place le signal W (écriture-lecture) des mémoires au niveau bas.

Le commutateur C_6 est en position 1, position qui aiguille vers l'entrée du compteur d'adresses le signal élaboré à l'aide du bouton-poussoir p.

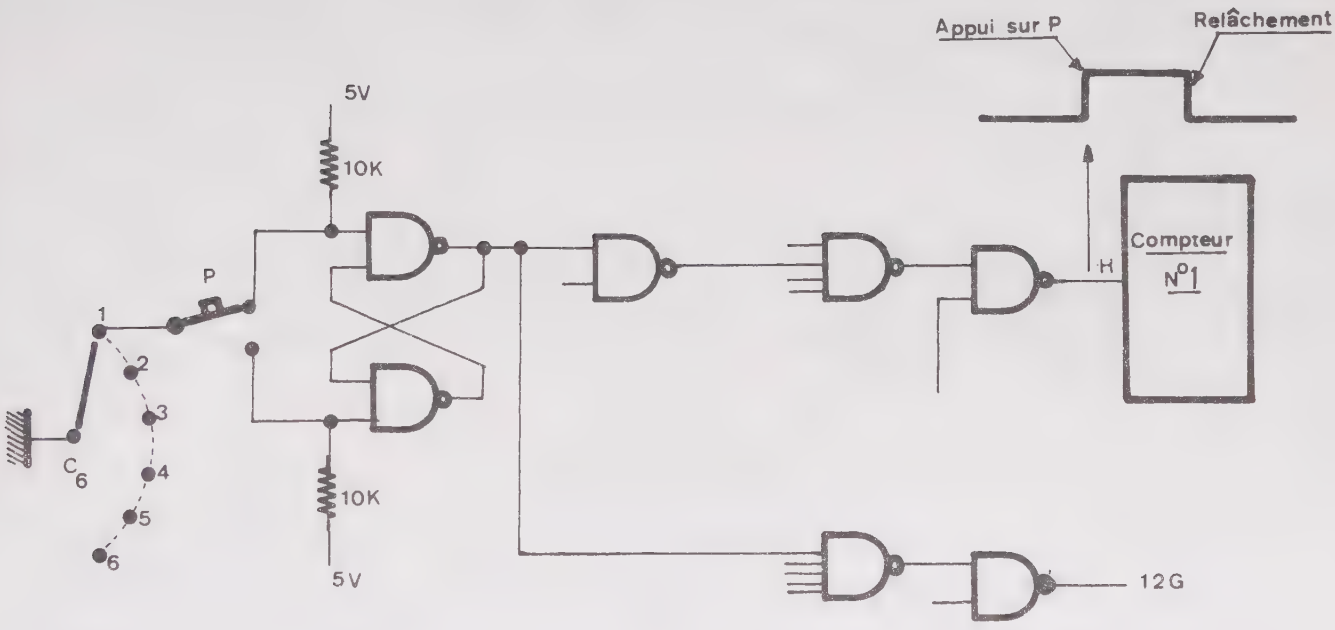


Figure IX.3

L'appui sur p met les mémoires en service en positionnant l'entrée 1G, 2G du décodeur SFC 4154 à l'état bas, donc en validant une des lignes de la mémoire, ligne sur laquelle sera écrit le mot binaire affiché sur le codeur.

Le relâchement de p incrémente le compteur d'une unité et isole les mémoires en faisant passer 1G, 2G au niveau haut. Nous pouvons alors changer la valeur du nombre binaire à inscrire en mémoire.

L'état des sorties du compteur, représentant l'adresse du mot à inscrire, est visualisé à l'aide de diodes électroluminescentes dont le branchement est indiqué figure IX.4.

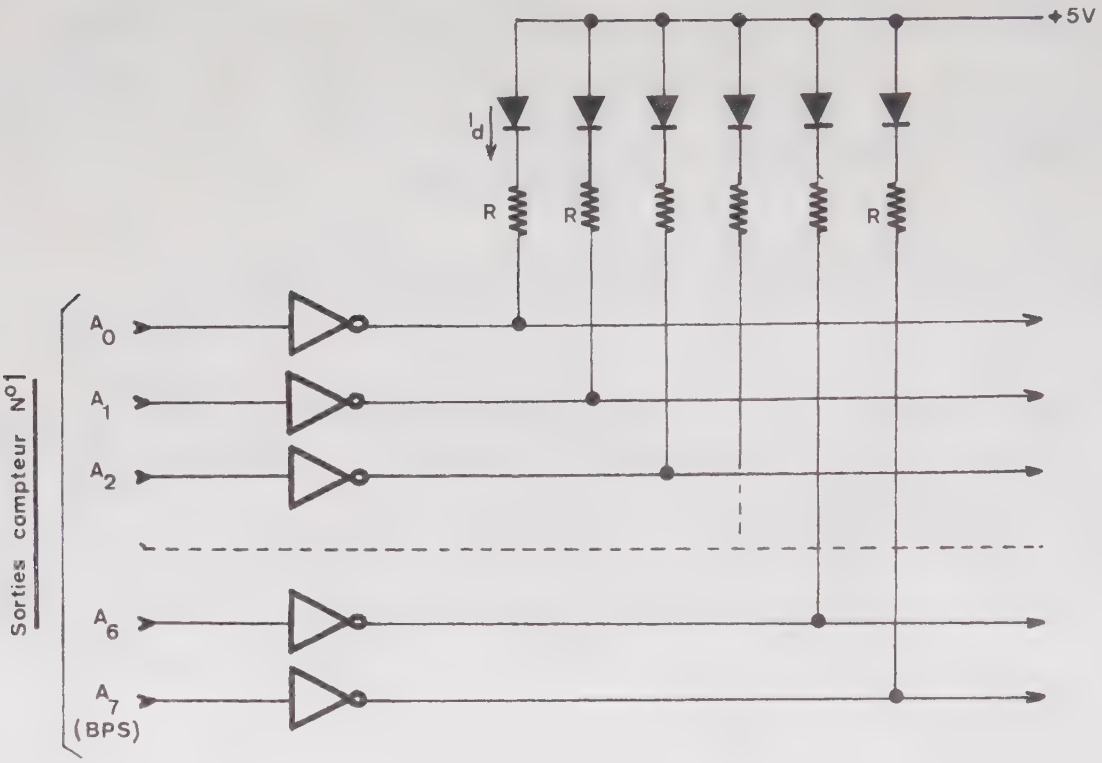


Figure IX.4

- Quand une sortie du compteur est à l'état haut, la sortie correspondante de l'inverseur est à l'état bas et la diode est polarisée dans le sens direct ; le courant I_d provoque l'illumination de la diode. Les résistances R, calculées pour faire passer un courant direct de 16 m A dans les diodes, sont égales à 270 Ω .

- Quand une sortie du compteur est à l'état bas, le courant circulant dans la diode correspondante est trop faible pour provoquer l'illumination.

Finalement, une diode allumée indique la présence d'un niveau haut à la sortie correspondante du compteur.

Exemple : L'opération d'écriture commence par une remise à zéro générale ; les diodes sont alors toutes éteintes, le mot f(o) est affiché sur le codeur ; l'appui sur p fait entrer le mot f(o) en mémoire, le relâchement de p incrémente le compteur d'une unité, ce qui provoque l'illumination de la diode représentant le bit le moins significatif et indique que le mot suivant à inscrire est le mot n°1.

III.1.2. Lecture commandée : L_2

Le commutateur C_3 est en position L, les entrées W des mémoires sont donc à l'état haut.

Le commutateur C_6 est en position 2, position qui aiguille vers l'entrée du compteur d'adresses le signal H_1 issu du générateur de signaux carrés. Les mémoires sont constamment en service puisque les sorties 1G, 2G, sont positionnées à zéro.

La figure IX.5 représente la partie du système de commande concernée par cette opération.

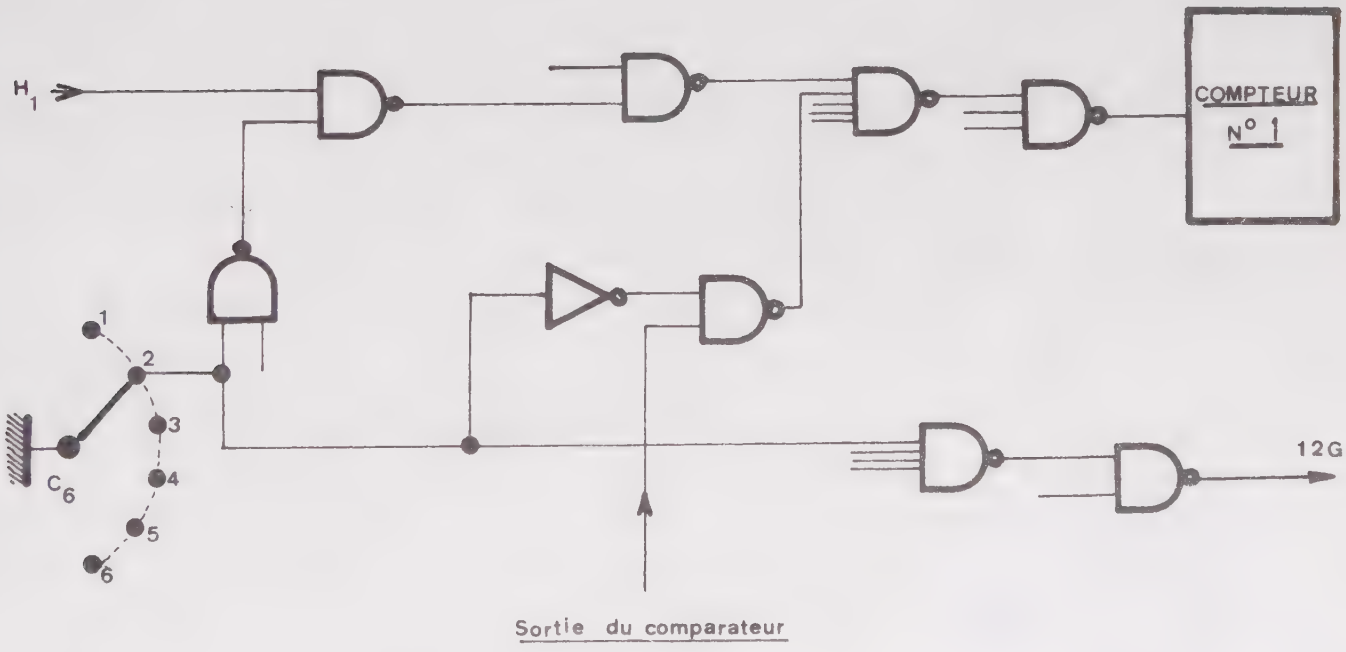
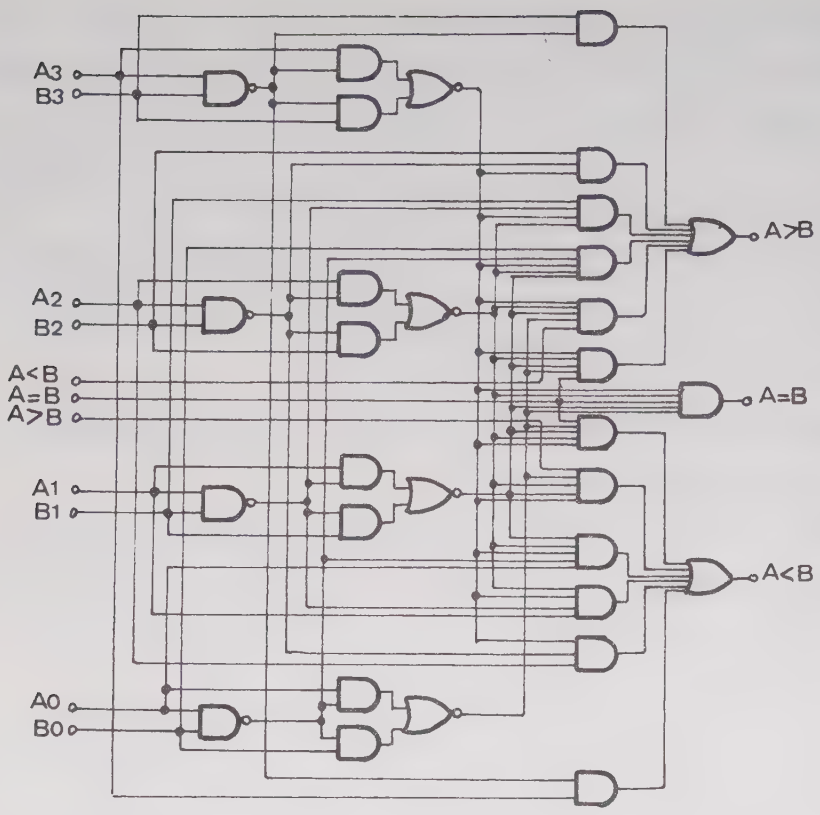


Figure IX.5



Entrées				Sorties		
données A,B	A>B	A=B	A<B	A>B	A=B	A<B
A>B	H	L	L	H	L	L
	L	H	L	H	L	L
	L	L	H	H	L	L
A=B	H	L	L	H	L	L
	L	H	L	L	H	L
	L	L	H	L	L	H
A<B	H	L	L	L	L	H
	L	H	L	L	L	H
	L	L	H	L	L	H
A >B	H	H	H	H	L	L
A =B	H	H	H	L	H	L
A< B	H	H	H	L	L	H
A >B	L	L	L	H	L	L
A =B	L	L	L	L	L	L
A<B	L	L	L	L	L	H

figure IX.6

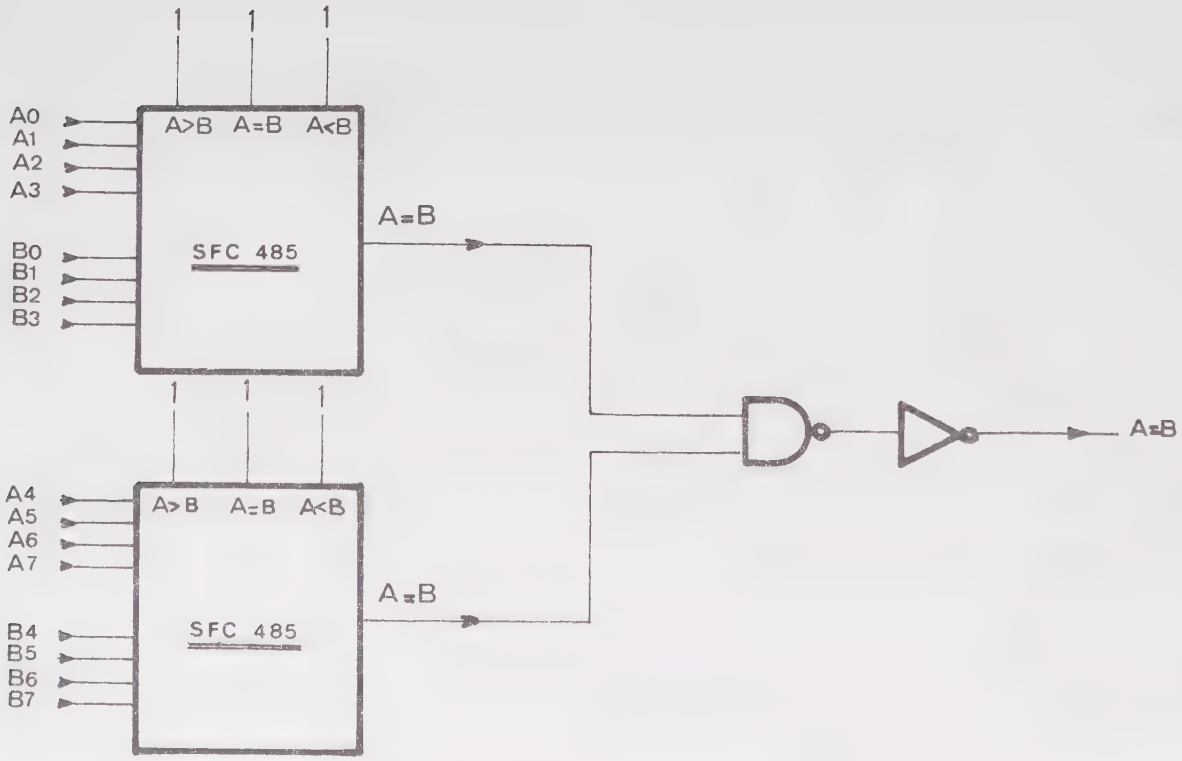


figure IX.7

Lorsque le nombre binaire représentant l'état des sorties du compteur n° 1 égale le nombre affiché au codeur (utilisation des sorties C_A 0 à 255 du codeur), l'horloge du compteur est supprimée et la lecture s'arrête puisque le compteur n'est plus alimenté. L'inhibition de l'horloge se fait à partir du signal de sortie d'un comparateur binaire de 8 bits, réalisé avec deux circuits intégrés de type SFC 485 qui sont des comparateurs de deux mots de 4 bits dont le schéma logique et la table de vérité sont représentés figure IX.6. Seule l'égalité des deux nombres A et B nous intéresse et le comparateur 8 bits est donc réalisé comme indiqué sur la figure IX.7.

La sortie du système est au niveau haut seulement lorsque les deux nombres binaires appliqués aux entrées sont égaux. Ce niveau ''un'' entraîne l'apparition d'un zéro à l'entrée du compteur n° 1. Les sorties de ce dernier ne changent donc plus d'état et la lecture s'arrête.

III.1.3. Réécriture manuelle E_3

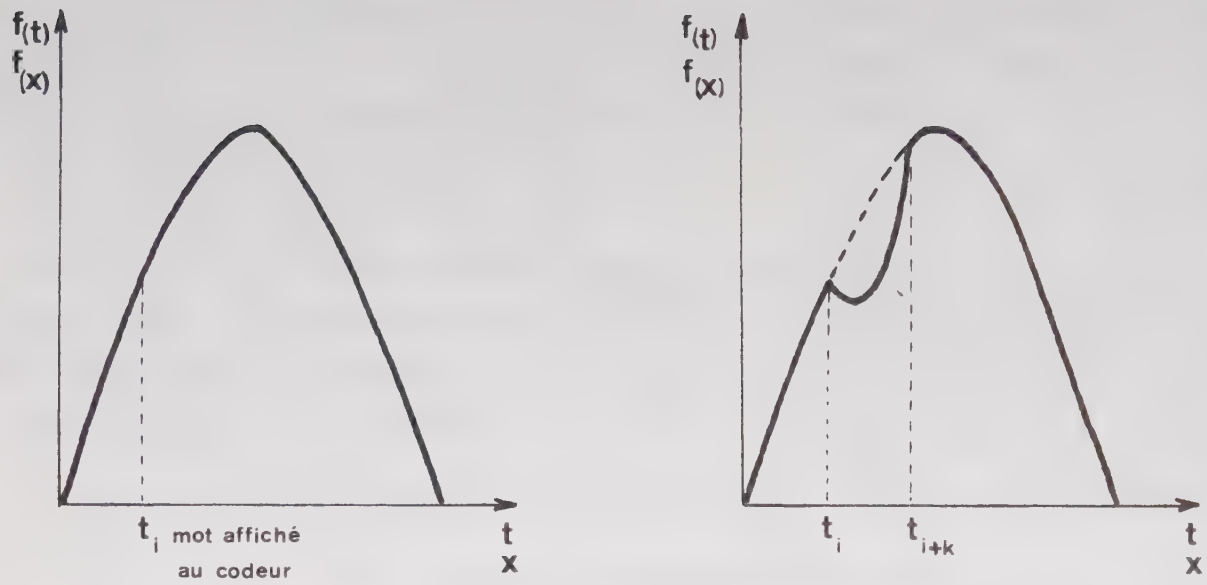
Cette opération s'effectue avec le commutateur C_3 en position E et le commutateur C_6 en position 3.

Elle est particulière en ce sens que si C_6 est en position 3, le passage de C_3 de L à E, en passant par la position intermédiaire de pause p, ne remet pas le compteur d'adresses à zéro.

Cette position est utilisée pour modifier le contenu de la mémoire au voisinage d'un point, comme nous l'expliquons ci-dessous :

La position précédente L_2 permet de lire la fonction jusqu'à l'adresse t_i affichée au codeur. Le passage à la position présente E_3 ne modifie pas l'état des sorties du compteur, mais positionne simplement le signal W à un niveau bas, ce qui permet d'écrire en mémoire les mots $f(t_i)$ et suivants modifiés. (utilisation du codeur et du bouton_poussoir).

Exemple



Fonction initiale

Fonction modifiée

Figure IX.8

III.1.4. Utilisation de la bande magnétique E_4, L_4

Le commutateur C_6 est placé en position 4. C_3 peut être en position E ou L.

Si C_3 est en L, on pourra enregistrer sur la bande le contenu de la mémoire transformé en mots série. Cette opération commence par une remise à zéro générale.

Le signal d'horloge du compteur n° 1 est maintenant le signal de fréquence 1 000/16 Hz obtenu à partir de la sortie du multivibrateur 1 000 Hz (voir chapitre VI).

La lecture de la mémoire, donc l'inscription sur la bande, s'arrête quand les 256 mots-mémoire ont été lus.

Il sera alors possible de retransférer en temps voulu (par exemple après une coupure de l'alimentation) les mots inscrits sur la bande en mémoire, en plaçant le commutateur C_3 en position E. Le signal d'horloge du compteur d'adresses est alors L, ordre de lecture du registre 4164.

III.1.5. Lecture ''un coup'' L_5

Le générateur d'horloge du compteur n° 1 est inhibé lorsque toutes les sorties de ce compteur sont à l'état ''un''. La lecture s'arrête, et elle ne pourra reprendre que si l'on appuie sur le bouton poussoir p_o, ce qui remet les sorties du compteur à zéro.

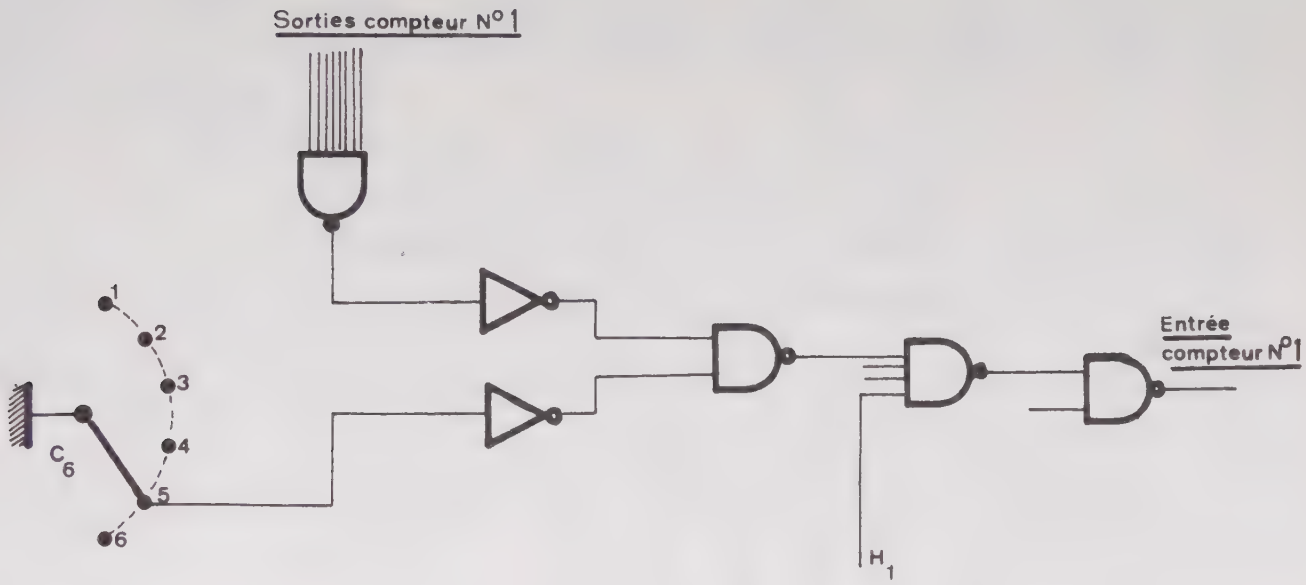


Figure IX.9

III.1.6. Lecture périodique L_6

Deux possibilités sont offertes en mode f(t) :

- Lecture périodique des 256 mots, et obtention d'une fonction f(t) de période égale à 256 fois la période d'horloge H_1.

- Lecture périodique de n mots (position spéciale de l'inverseur II). Le nombre de mots lus est égal au nombre affiché au codeur.

Exemple : fonction enregistrée Y = sin T

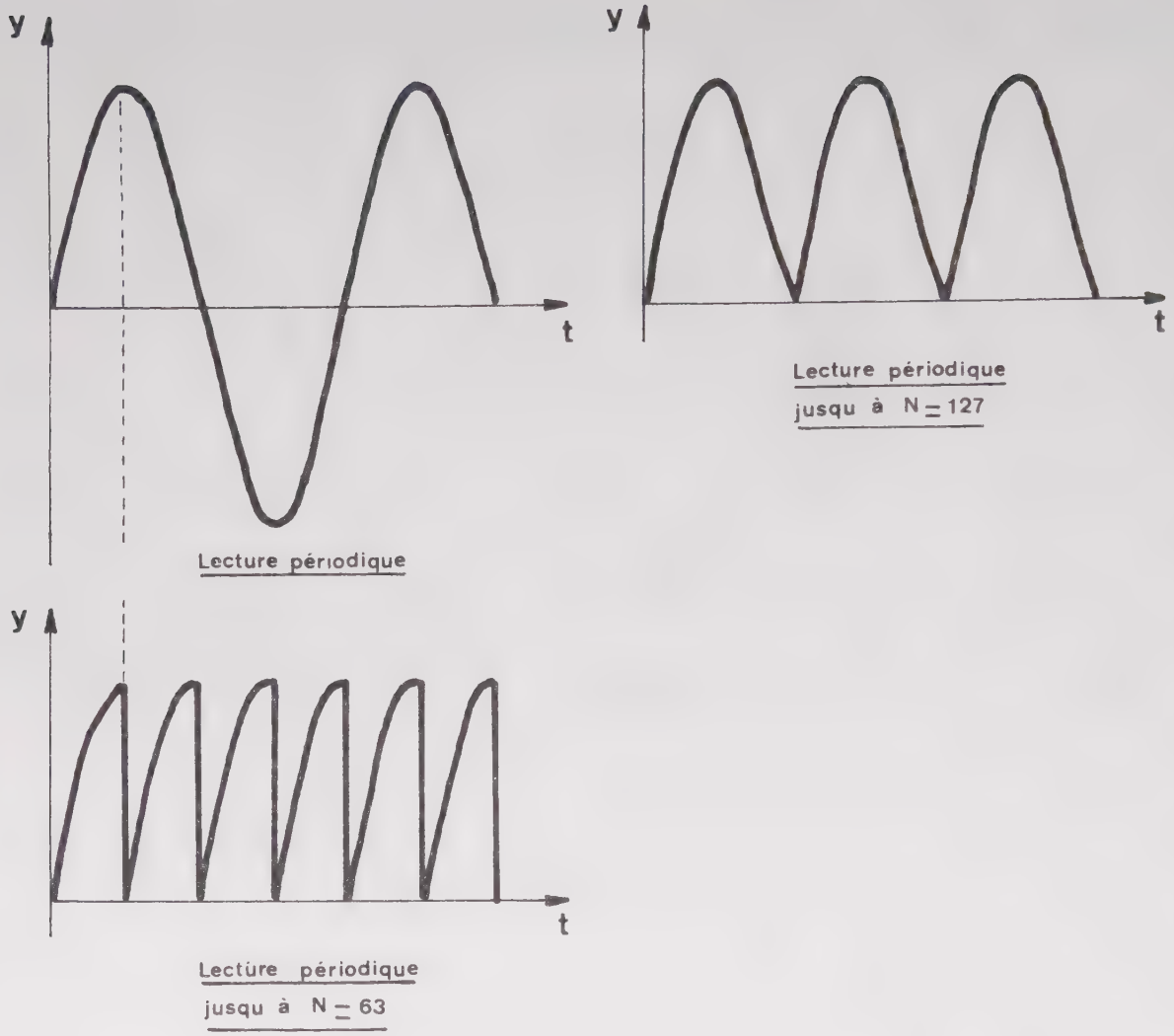


Figure IX.10

III.2. Mode y = f(x)

III.2.1. Ecriture des données

Les valeurs $f(x_i)$ de la fonction aux différents points de rupture(256 points possibles) sont inscrites, le générateur étant placé en mode f(t).

Le compteur d'adresses sera alimenté par le signal issu du système à bouton-poussoir.

Quand le compteur est à zéro, la ligne 0 de la mémoire est validée.

A la lecture les entrées adresses de la mémoire reçoivent les sorties du C.A.D. qui fonctionne dans le code binaire décalé : lorsque x sera égal à $- V_{max}$ les sorties du convertisseur seront toutes à l'état bas et la ligne 0 de la mémoire sera lue. Quand x sera égal à $- V_{max} + 1$ quantum les sorties du convertisseur indiqueront 0000 0001 et la ligne 1 de la mémoire sera lue.

Nous devons donc opérer comme ci-dessous lors de l'écriture de f(x) :

- Inverseur I en mode f(t)
- Remise à zéro générale
- Affichage de $f(-ve_{max})$ au codeur : l'appui sur p valide la ligne 0 de la mémoire où $f(-ve_{max})$ est inscrite. Le relâchement de p incrémente le compteur d'une unité et isole les mémoires.
- Affichage de $f(-ve_{max} + 1 \text{ quantum})$: l'appui sur p valide la ligne 1 de la mémoire où le mot $f(-ve_{max} + 1 \text{ quantum})$ est écrit.

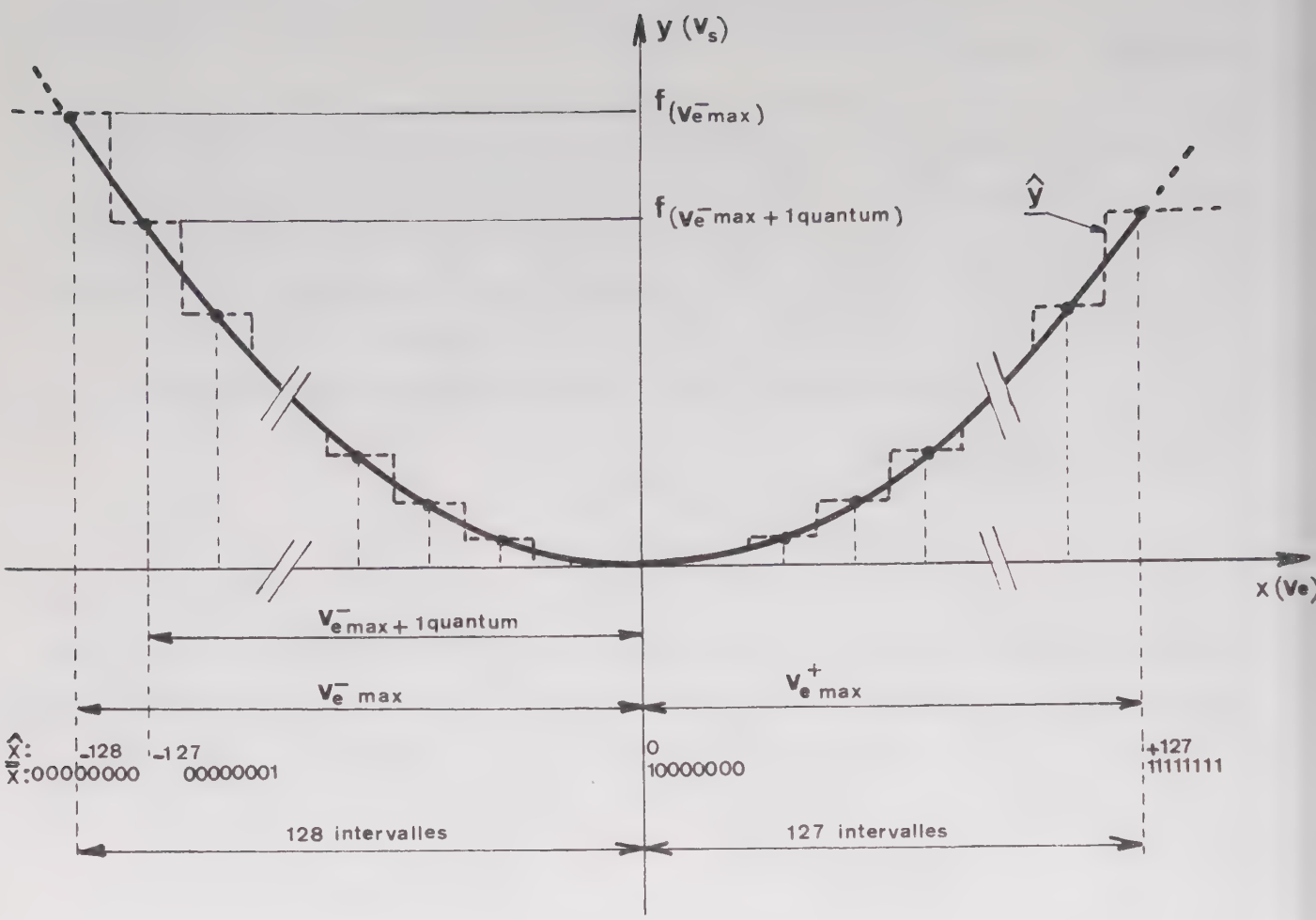


Figure IX.11.

Remarquons que nous disposons simplement de 127 mots codés positifs, alors que nous en avons 128 négatifs.

Les 256 mots sont donc inscrits dans l'ordre f(-128), f(-127),... 0, f(1) ... f(+127).

Si, en restant en position f(t) on passe alors en mode lecture, la courbe obtenue sera la courbe f(x) décalée.

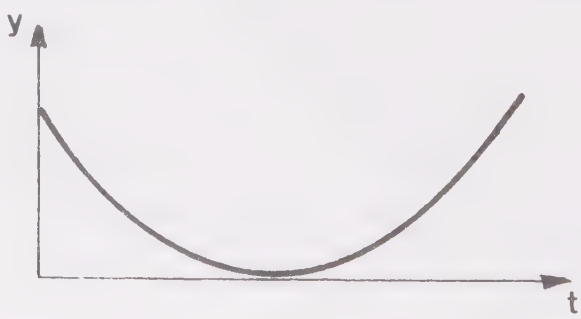


Figure IX.12

Il est ainsi possible de vérifier si la fonction $y = f(x)$ a été correctement enregistrée.

L'inverseur I est alors positionné en f(x), le signal x est appliqué à l'entrée du C.A.D. et le signal $\overline{\overline{x}}$ vient attaquer les entrées adresses de la mémoire, lisant $\overline{\overline{f(x_i)}}$ à l'adresse $\overline{\overline{x}}_i$.

Le nombre de points de rupture de y dépend de la durée du signal x et de la fréquence d'échantillonnage du C.A.D.

Les opérations d'écriture et de lecture sont résumées ci-dessous.

ECRITURE				LECTURE			
t_i	Sorties compteur d'adresses	Ligne mémoire validée	Mot à écrire	$\hat{x}_i$	$\overline{\overline{x}}_i$ Sortie C.A.D.	Ligne mémoire validée	Mot lu
0	0 0 0 0 0 0 0 0	0	$f(x=-128)$	-128	0 0 0 0 0 0 0 0	0	$f(-128)$
1	0 0 0 0 0 0 0 1	1	$f(x=-127)$	-127	0 0 0 0 0 0 0 1	1	$f(-127)$
2	0 0 0 0 0 0 1 0	2	$f(x=-126)$	-126	0 0 0 0 0 0 1 0	2	$f(-126)$
128	1 0 0 0 0 0 0 0	128	$f(x=0)$		1 0 0 0 0 0 0 0	128	$f(0)$
254	1 1 1 1 1 1 1 0	254	$f(x=+126)$	-126	1 1 1 1 1 1 1 0	254	$f(+126)$
255	1 1 1 1 1 1 1 1	255	$f(x=+127)$	-127	1 1 1 1 1 1 1 1	255	$f(+127)$
Inverseur I en f(t) Les entrées adresses reçoivent t_i : sorties du compteur				Inverseur I en f(x) Les entrées adresses reçoivent x_i : sorties du C.A.D.			

Remarque : Il n'est pas toujours intéressant de faire varier la tension d'entrée x dans les limites fixées par le C.A.D.. Nous allons le montrer dans l'exemple suivant.

Exemple : Soit à engendrer la fonction $y = k \sin x$

Le C.A.D. utilisé admet des tensions d'entrée variant de - 5V à + 5 V.

Quand $x = -5$ V $\quad \bar{\bar{x}} = 0000\ 0000 = -128$

$x = +5$ V (-1quantum) $\bar{\bar{x}} = 1111\ 1111 = +127$ } en binaire décalé

Les tables nous donnant les valeurs de x tous les degrés, nous allons enregistrer la fonction ci-dessous :

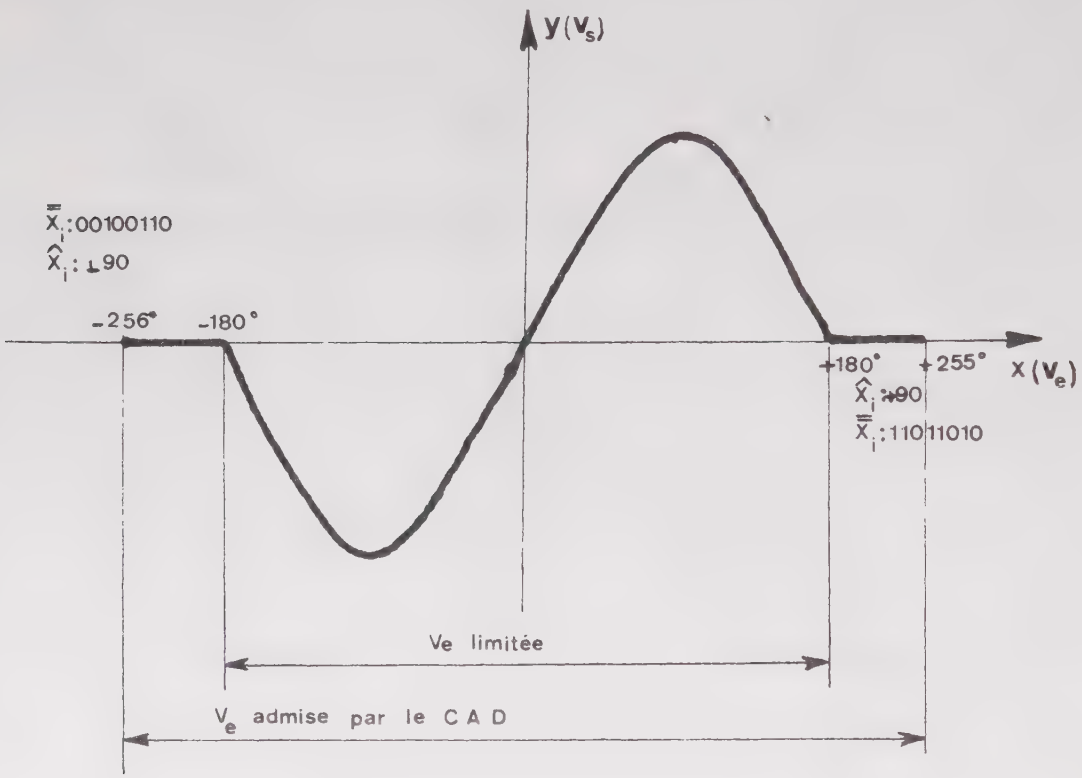


Figure IX.13

L'intervalle de définition est divisé en 255 parties, mais pour :

x compris entre - 256° et - 180°
x compris entre + 180° et + 255° } nous faisons $y = 0$

Ceci limite les variations possibles de la tension d'entrée entre :

$$\pm 5 \times \frac{90}{128} \text{ V}$$

Les tableaux suivants résument la séquence d'enregistrement.

					Affichage codeur	Sortie codeur
t_i	x_i (degrés)	$\hat{x}_i$	$\overline{\overline{x}}_i$ binaire décalé	y_i = sin x_i	$\hat{y}_i$ ≃ 100 y_i	$\overline{\overline{y}}_i$ Ct à deux
0	- 256	- 128	0 0 0 0 0 0 0 0	0	0	0 0 0 0 0 0 0 0
1	- 254	- 127	0 0 0 0 0 0 0 1			0 0 0 0 0 0 0 0
2	- 252	- 126	0 0 0 0 0 0 1 0			
3	- 250	- 125	0 0 0 0 0 0 1 1			
4	- 248	- 124	0 0 0 0 0 1 0 0			
5	- 246	- 123	0 0 0 0 0 1 0 1			
6	- 244	- 122	0 0 0 0 0 1 1 0			
7	- 242	- 121	0 0 0 0 0 1 1 1			
8	- 240	- 120	0 0 0 0 1 0 0 0			
9	- 238	- 119	0 0 0 0 1 0 0 1			
10	- 236	- 118	0 0 0 0 1 0 1 0			
11	- 234	- 117	0 0 0 0 1 0 1 1			
12	- 232	- 116	0 0 0 0 1 1 0 0			
13	- 230	- 115	0 0 0 0 1 1 0 1			
14	- 228	- 114	0 0 0 0 1 1 1 0			
15	- 226	- 113	0 0 0 0 1 1 1 1			
16	- 224	- 112	0 0 0 1 0 0 0 0			
17	- 222	- 111	0 0 0 1 0 0 0 1			
18	- 220	- 110	0 0 0 1 0 0 1 0			
19	- 218	- 109	0 0 0 1 0 0 1 1			
20	- 216	- 108	0 0 0 1 0 1 0 0			
21	- 214	- 107	0 0 0 1 0 1 0 1			
22	- 212	- 106	0 0 0 1 0 1 1 0			
23	- 210	- 105	0 0 0 1 0 1 1 1			
24	- 208	- 104	0 0 0 1 1 0 0 0			
25	- 206	- 103	0 0 0 1 1 0 0 1			
26	- 204	- 102	0 0 0 1 1 0 1 0			
27	- 202	- 101	0 0 0 1 1 0 1 1			
28	- 200	- 100	0 0 0 1 1 1 0 0			
29	- 198	- 99	0 0 0 1 1 1 0 1			
30	- 196	- 98	0 0 0 1 1 1 1 0			
31	- 194	- 97	0 0 0 1 1 1 1 1			
32	- 192	- 96	0 0 1 0 0 0 0 0			
33	- 190	- 95	0 0 1 0 0 0 0 1			
34	- 188	- 94	0 0 1 0 0 0 1 0			
35	- 186	- 93	0 0 1 0 0 0 1 1			
36	- 184	- 92	0 0 1 0 0 1 0 0			
37	- 182	- 91	0 0 1 0 0 1 0 1	0	0	0 0 0 0 0 0 0 0
38	- 180	- 90	0 0 1 0 0 1 1 0	0	0	0 0 0 0 0 0 0 0
39	- 178	- 89	0 0 1 0 0 1 1 1	- 0, 0349	- 3	1 1 1 1 1 1 1 0 1
40	- 176	- 88	0 0 1 0 1 0 0 0	- 0, 0698	- 7	1 1 1 1 1 1 0 0 1
41	- 174	- 87	0 0 1 0 1 0 0 1	- 0, 1045	- 10	1 1 1 1 0 1 1 0
42	- 172	- 86	0 0 1 0 1 0 1 0	- 0, 1392	- 14	1 1 1 1 0 0 1 0
43	- 170	- 85	0 0 1 0 1 0 1 1	- 0, 1736	- 17	1 1 1 0 1 1 1 1
44	- 168	- 84	0 0 1 0 1 1 0 0	- 0, 2079	- 21	1 1 1 0 1 0 1 1
45	- 166	- 83	0 0 1 0 1 1 0 1	- 0, 2419	- 24	1 1 1 0 1 0 0 0
46	- 164	- 82	0 0 1 0 1 1 1 0	- 0, 2756	- 28	1 1 1 0 0 1 0 0
47	- 162	- 81	0 0 1 0 1 1 1 1	- 0, 309	- 31	1 1 1 0 0 0 0 1
48	- 160	- 80	0 0 1 1 0 0 0 0	- 0, 3420	- 34	1 1 0 1 1 1 1 0
49	- 158	- 79	0 0 1 1 0 0 0 1	- 0, 3746	- 38	1 1 0 1 1 0 1 0
50	- 156	- 78	0 0 1 1 0 0 1 0	- 0, 4067	- 41	1 1 0 1 0 1 1 1
51	- 154	- 77	0 0 1 1 0 0 1 1	- 0, 4384	- 44	1 1 0 1 0 1 0 0
52	- 152	- 76	0 0 1 1 0 1 0 0	- 0, 4695	- 47	1 1 0 1 0 0 0 1
53	- 150	- 75	0 0 1 1 0 1 0 1	- 0, 5000	- 50	1 1 0 0 1 1 1 0
54	- 148	- 74	0 0 1 1 0 1 1 0	- 0, 5299	- 53	1 1 0 0 1 0 1 1
55	- 146	- 73	0 0 1 1 0 1 1 1	- 0, 5592	- 56	1 1 0 0 1 0 0 0
56	- 144	- 72	0 0 1 1 1 0 0 0	- 0, 5878	- 59	1 1 0 0 0 1 0 1
57	- 142	- 71	0 0 1 1 1 0 0 1	- 0, 6157	- 62	1 1 0 0 0 0 1 0
58	- 140	- 70	0 0 1 1 1 0 1 0	- 0, 6428	- 64	1 1 0 0 0 0 0 0
59	- 138	- 69	0 0 1 1 1 0 1 1	- 0, 6691	- 67	1 0 1 1 1 1 0 1
60	- 136	- 68	0 0 1 1 1 1 0 0	- 0, 6947	- 69	1 0 1 1 1 1 0 1 1
61	- 134	- 67	0 0 1 1 1 1 0 1	- 0, 7193	- 72	1 0 1 1 1 0 0 0
62	- 132	- 66	0 0 1 1 1 1 1 0	- 0, 7431	- 74	1 0 1 1 0 1 1 0
63	- 130	- 65	0 0 1 1 1 1 1 1	- 0, 7660	- 77	1 0 1 1 0 0 1 1
64	- 128	- 64	0 1 0 0 0 0 0 0	- 0, 788	- 79	1 0 1 1 0 0 0 1
65	- 126	- 63	0 1 0 0 0 0 0 1	- 0, 809	- 81	1 0 1 0 1 1 1 1
66	- 124	- 62	0 1 0 0 0 0 1 0	- 0, 829	- 83	1 0 1 0 1 1 0 1
67	- 122	- 61	0 1 0 0 0 0 1 1	- 0, 848	- 85	1 0 1 0 1 0 1 1
68	- 120	- 60	0 1 0 0 0 1 0 0	- 0, 866	- 87	1 0 1 0 1 0 0 1
69	- 118	- 59	0 1 0 0 0 1 0 1	- 0, 8829	- 88	1 0 1 0 1 0 0 0
70	- 116	- 58	0 1 0 0 0 1 1 0	- 0, 8988	- 90	1 0 1 0 0 1 1 0

t_i	x_i (degrés)	$\hat{x}_i$	$\overline{x_i}$ binaire décalé	y_i = sin x_i	$\hat{y}_i$ ≃ 100 y_i	$\overline{y_i}$ Ct à deux
71	- 114	- 57	0 1 0 0 0 1 1 1	- 0, 9135	- 91	1 0 1 0 0 1 0 1
72	- 112	- 56	0 1 0 0 1 0 0 0	- 0, 9272	- 93	1 0 1 0 0 0 1 1
73	- 110	- 55	0 1 0 0 1 0 0 1	- 0, 9397	- 94	1 0 1 0 0 0 1 0
74	- 108	- 54	0 1 0 0 1 0 1 0	- 0, 9511	- 95	1 0 1 0 0 0 0 1
75	- 106	- 53	0 1 0 0 1 0 1 1	- 0, 9613	- 96	1 0 1 0 0 0 0 0
76	- 104	- 52	0 1 0 0 1 1 0 0	- 0, 9703	- 97	1 0 0 1 1 1 1 1
77	- 102	- 51	0 1 0 0 1 1 0 1	- 0, 9781	- 98	1 0 0 1 1 1 1 0
78	- 100	- 50	0 1 0 0 1 1 1 0	- 0, 9848	- 98	1 0 0 1 1 1 1 0
79	- 98	- 49	0 1 0 0 1 1 1 1	- 0, 9903	- 99	1 0 0 1 1 1 0 1
80	- 96	- 48	0 1 0 1 0 0 0 0	- 0, 9945	- 99	1 0 0 1 1 1 0 1
81	- 94	- 47	0 1 0 1 0 0 0 1	- 0, 9976	- 100	1 0 0 1 1 1 0 0
82	- 92	- 46	0 1 0 1 0 0 1 0	- 0, 9994	- 100	1 0 0 1 1 1 0 0
83	- 90	- 45	0 1 0 1 0 0 1 1	- 1, 000	- 100	1 0 0 1 1 1 0 0
84	- 88	- 44	0 1 0 1 0 1 0 0	- 0, 9994	- 100	1 0 0 1 1 1 0 0
85	- 86	- 43	0 1 0 1 0 1 0 1	- 0, 9976	- 100	1 0 0 1 1 1 0 0
86	- 84	- 42	0 1 0 1 0 1 1 0	- 0, 9945	- 99	1 0 0 1 1 1 0 1
87	- 82	- 41	0 1 0 1 0 1 1 1	- 0, 9903	- 99	1 0 0 1 1 1 0 1
88	- 80	- 40	0 1 0 1 1 0 0 0	- 0, 9848	- 98	1 0 0 1 1 1 1 0
89	- 78	- 39	0 1 0 1 1 0 0 1	- 0, 9781	- 98	1 0 0 1 1 1 1 0
90	- 76	- 38	0 1 0 1 1 0 1 0	- 0, 9703	- 97	1 0 0 1 1 1 1 1
91	- 74	- 37	0 1 0 1 1 0 1 1	- 0, 9613	- 96	1 0 1 0 0 0 0 0
92	- 72	- 36	0 1 0 1 1 1 0 0	- 0, 9511	- 95	1 0 1 0 0 0 0 1
93	- 70	- 35	0 1 0 1 1 1 0 1	- 0, 9397	- 94	1 0 1 0 0 0 1 0
94	- 68	- 34	0 1 0 1 1 1 1 0	- 0, 9272	- 93	1 0 1 0 0 0 1 1
95	- 66	- 33	0 1 0 1 1 1 1 1	- 0, 9135	- 91	1 0 1 0 0 1 0 1
96	- 64	- 32	0 1 1 0 0 0 0 0	- 0, 8988	- 90	1 0 1 0 0 1 1 0
97	- 62	- 31	0 1 1 0 0 0 0 1	- 0, 8829	- 88	1 0 1 0 1 0 0 0
98	- 60	- 30	0 1 1 0 0 0 1 0	- 0, 866	- 87	1 0 1 0 1 0 0 1
99	- 58	- 29	0 1 1 0 0 0 1 1	- 0, 848	- 85	1 0 1 0 1 0 1 1
100	- 56	- 28	0 1 1 0 0 1 0 0	- 0, 829	- 83	1 0 1 0 1 1 0 1
101	- 54	- 27	0 1 1 0 0 1 0 1	- 0, 809	- 81	1 0 1 0 1 1 1 1
102	- 52	- 26	0 1 1 0 0 1 1 0	- 0, 788	- 79	1 0 1 1 0 0 0 1
103	- 50	- 25	0 1 1 0 0 1 1 1	- 0, 766	- 77	1 0 1 1 0 0 1 1
104	- 48	- 24	0 1 1 0 1 0 0 0	- 0, 7431	- 74	1 0 1 1 0 1 1 0
105	- 46	- 23	0 1 1 0 1 0 0 1	- 0, 7193	- 72	1 0 1 1 1 0 0 0
106	- 44	- 22	0 1 1 0 1 0 1 0	- 0, 6947	- 69	1 0 1 1 1 0 1 1
107	- 42	- 21	0 1 1 0 1 0 1 1	- 0, 6691	- 67	1 0 1 1 1 1 0 1
108	- 40	- 20	0 1 1 0 1 1 0 0	- 0, 6428	- 64	1 1 0 0 0 0 0 0
109	- 38	- 19	0 1 1 0 1 1 0 1	- 0, 6157	- 62	1 1 0 0 0 0 1 0
110	- 36	- 18	0 1 1 0 1 1 1 0	- 0, 5878	- 59	1 1 0 0 0 1 0 1
111	- 34	- 17	0 1 1 0 1 1 1 1	- 0, 5592	- 56	1 1 0 0 1 0 0 0
112	- 32	- 16	0 1 1 1 0 0 0 0	- 0, 5299	- 53	1 1 0 0 1 0 1 1
113	- 30	- 15	0 1 1 1 0 0 0 1	- 0, 5000	- 50	1 1 0 0 1 1 1 0
114	- 28	- 14	0 1 1 1 0 0 1 0	- 0, 4695	- 47	1 1 0 1 0 0 0 1
115	- 26	- 13	0 1 1 1 0 0 1 1	- 0, 4384	- 44	1 1 0 1 0 1 0 0
116	- 24	- 12	0 1 1 1 0 1 0 0	- 0, 4067	- 41	1 1 0 1 0 1 1 1
117	- 22	- 11	0 1 1 1 0 1 0 1	- 0, 3746	- 38	1 1 0 1 1 0 1 0
118	- 20	- 10	0 1 1 1 0 1 1 0	- 0, 3420	- 34	1 1 0 1 1 1 1 0
119	- 18	- 9	0 1 1 1 0 1 1 1	- 0, 309	- 31	1 1 1 0 0 0 0 1
120	- 16	- 8	0 1 1 1 1 0 0 0	- 0, 2756	- 28	1 1 1 0 0 1 0 0
121	- 14	- 7	0 1 1 1 1 0 0 1	- 0, 2419	- 24	1 1 1 0 1 0 0 0
122	- 12	- 6	0 1 1 1 1 0 1 0	- 0, 2079	- 21	1 1 1 0 1 0 1 1
123	- 10	- 5	0 1 1 1 1 0 1 1	- 0, 1736	- 17	1 1 1 0 1 1 1 1
124	- 8	- 4	0 1 1 1 1 1 0 0	- 0, 1392	- 14	1 1 1 1 0 0 1 0
125	- 6	- 3	0 1 1 1 1 1 0 1	- 0, 1045	- 10	1 1 1 1 0 1 1 0
126	- 4	- 2	0 1 1 1 1 1 1 0	- 0, 0698	- 7	1 1 1 1 1 0 0 1
127	- 2	- 1	0 1 1 1 1 1 1 1	- 0, 0349	- 3	1 1 1 1 1 1 0 1
128	0	0	1 0 0 0 0 0 0 0	0, 000	0	0 0 0 0 0 0 0 0
129	+ 2	+ 1	1 0 0 0 0 0 0 1	+ 0, 0349	+ 3	0 0 0 0 0 0 1 1
130	+ 4	2	1 0 0 0 0 0 1 0	0, 0698	+ 7	0 0 0 0 0 1 1 1
131	+ 6	3	1 0 0 0 0 0 1 1	0, 1045	+ 10	0 0 0 0 1 0 1 0
132	+ 8	4	1 0 0 0 0 1 0 0	0, 1392	+ 14	0 0 0 0 1 1 1 0
133	+ 10	5	1 0 0 0 0 1 0 1	0, 1736	+ 17	0 0 0 1 0 0 0 1
134	+ 12	6	1 0 0 0 0 1 1 0	0, 2079	+ 21	0 0 0 1 0 1 0 1
135	14	7	1 0 0 0 0 1 1 1	0, 2419	+ 24	0 0 0 1 1 0 0 0
136	16	8	1 0 0 0 1 0 0 0	0, 2756	+ 28	0 0 0 1 1 1 0 0
137	18	9	1 0 0 0 1 0 0 1	0, 309	+ 31	0 0 0 1 1 1 1 1
138	20	10	1 0 0 0 1 0 1 0	0, 342	+ 34	0 0 1 0 0 0 1 0
139	22	11	1 0 0 0 1 0 1 1	0, 3746	+ 38	0 0 1 0 0 1 1 0
140	24	12	1 0 0 0 1 1 0 0	0, 4067	+ 41	0 0 1 0 1 0 0 1
141	26	13	1 0 0 0 1 1 0 1	0, 4384	+ 44	0 0 1 0 1 1 0 0
142	28	14	1 0 0 0 1 1 1 0	0, 4695	+ 47	0 0 1 0 1 1 1 1
143	30	15	1 0 0 0 1 1 1 1	0, 5000	+ 50	0 0 1 1 0 0 1 0
144	32	16	1 0 0 1 0 0 0 0	0, 5299	+ 53	0 0 1 1 0 1 0 1
145	34	17	1 0 0 1 0 0 0 1	0, 5592	+ 56	0 0 1 1 1 0 0 0
146	36	18	1 0 0 1 0 0 1 0	0, 5878	+ 59	0 0 1 1 1 0 1 1
147	38	19	1 0 0 1 0 0 1 1	0, 6157	+ 62	0 0 1 1 1 1 1 0

t_i	x_i (degrés)	$\hat{x}_i$	$\overline{\overline{x}}_i$ binaire décalé	y_i = sin x_i	$\hat{y}_i$ ≃100 y_i	$\overline{\overline{y}}_i$ Ct à deux
148	40	20	1 0 0 1 0 1 0 0	0, 6428	+ 64	0 1 0 0 0 0 0 0
149	42	21	1 0 0 1 0 1 0 1	0, 6691	+ 67	0 1 0 0 0 0 1 1
150	44	22	1 0 0 1 0 1 1 0	0, 6947	+ 69	0 1 0 0 0 1 0 1
151	46	23	1 0 0 1 0 1 1 1	0, 7193	+ 72	0 1 0 0 1 0 0 0
152	48	24	1 0 0 1 1 0 0 0	0, 7431	+ 74	0 1 0 0 1 0 1 0
153	50	25	1 0 0 1 1 0 0 1	0, 766	+ 77	0 1 0 0 1 1 0 1
154	52	26	1 0 0 1 1 0 1 0	0, 788	+ 79	0 1 0 0 1 1 1 1
155	54	27	1 0 0 1 1 0 1 1	0, 809	+ 81	0 1 0 1 0 0 0 1
156	56	28	1 0 0 1 1 1 0 0	0, 829	+ 83	0 1 0 1 0 0 1 1
157	58	29	1 0 0 1 1 1 0 1	0, 848	+ 85	0 1 0 1 0 1 0 1
158	60	30	1 0 0 1 1 1 1 0	0, 866	+ 87	0 1 0 1 0 1 1 1
159	62	31	1 0 0 1 1 1 1 1	0, 8829	+ 88	0 1 0 1 1 0 0 0
160	64	32	1 0 1 0 0 0 0 0	0, 8988	+ 90	0 1 0 1 1 0 1 0
161	66	33	1 0 1 0 0 0 0 1	0, 9135	+ 91	0 1 0 1 1 0 1 1
162	68	34	1 0 1 0 0 0 1 0	0, 9272	+ 93	0 1 0 1 1 1 0 1
163	70	35	1 0 1 0 0 0 1 1	0, 9397	+ 94	0 1 0 1 1 1 1 0
164	72	36	1 0 1 0 0 1 0 0	0, 9511	+ 95	0 1 0 1 1 1 1 1
165	74	37	1 0 1 0 0 1 0 1	0, 9613	+ 96	0 1 1 0 0 0 0 0
166	76	38	1 0 1 0 0 1 1 0	0, 9703	+ 97	0 1 1 0 0 0 0 1
167	78	39	1 0 1 0 0 1 1 1	0, 9781	+ 98	0 1 1 0 0 0 1 0
168	80	40	1 0 1 0 1 0 0 0	0, 9848	+ 98	0 1 1 0 0 0 1 0
169	82	41	1 0 1 0 1 0 0 1	0, 9903	+ 99	0 1 1 0 0 0 1 1
170	84	42	1 0 1 0 1 0 1 0	0, 9945	+ 99	0 1 1 0 0 0 1 1
171	86	43	1 0 1 0 1 0 1 1	0, 9976	+ 100	0 1 1 0 0 1 0 0
172	88	44	1 0 1 0 1 1 0 0	0, 9994	+ 100	0 1 1 0 0 1 0 0
173	90	45	1 0 1 0 1 1 0 1	1, 000	+ 100	0 1 1 0 0 1 0 0
174	92	46	1 0 1 0 1 1 1 0	0, 9994	+ 100	0 1 1 0 0 1 0 0
175	94	47	1 0 1 0 1 1 1 1	0, 9976	+ 100	0 1 1 0 0 1 0 0
176	96	48	1 0 1 1 0 0 0 0	0, 9945	+ 99	0 1 1 0 0 0 1 1
177	98	49	1 0 1 1 0 0 0 1	0, 9903	+ 99	0 1 1 0 0 0 1 1
178	100	50	1 0 1 1 0 0 1 0	0, 9848	+ 98	0 1 1 0 0 0 1 0
179	102	51	1 0 1 1 0 0 1 1	0, 9781	+ 98	0 1 1 0 0 0 1 0
180	104	52	1 0 1 1 0 1 0 0	0, 9703	+ 97	0 1 1 0 0 0 0 1
181	106	53	1 0 1 1 0 1 0 1	0, 9613	+ 96	0 1 1 0 0 0 0 0
182	108	54	1 0 1 1 0 1 1 0	0, 9511	+ 95	0 1 0 1 1 1 1 1
183	110	55	1 0 1 1 0 1 1 1	0, 9397	+ 94	0 1 0 1 1 1 1 0
184	112	56	1 0 1 1 1 0 0 0	0, 9272	+ 93	0 1 0 1 1 1 0 1
185	114	57	1 0 1 1 1 0 0 1	0, 9135	+ 91	0 1 0 1 1 0 1 1
186	116	58	1 0 1 1 1 0 1 0	0, 8988	+ 90	0 1 0 1 1 0 1 0
187	118	59	1 0 1 1 1 0 1 1	0, 8829	+ 88	0 1 0 1 1 0 0 0
188	120	60	1 0 1 1 1 1 0 0	0, 866	+ 87	0 1 0 1 0 1 1 1
189	122	61	1 0 1 1 1 1 0 1	0, 848	+ 85	0 1 0 1 0 1 0 1
190	124	62	1 0 1 1 1 1 1 0	0, 829	+ 83	0 1 0 1 0 0 1 1
191	126	63	1 0 1 1 1 1 1 1	0, 809	+ 81	0 1 0 1 0 0 0 1
192	128	64	1 1 0 0 0 0 0 0	0, 788	+ 79	0 1 0 0 1 1 1 1
193	130	65	1 1 0 0 0 0 0 1	0, 766	+ 77	0 1 0 0 1 1 0 1
194	132	66	1 1 0 0 0 0 1 0	0, 7431	+ 74	0 1 0 0 1 0 1 0
195	134	67	1 1 0 0 0 0 1 1	0, 7193	+ 72	0 1 0 0 1 0 0 0
196	136	68	1 1 0 0 0 1 0 0	0, 6947	+ 69	0 1 0 0 0 1 0 1
197	138	69	1 1 0 0 0 1 0 1	0, 6691	+ 67	0 1 0 0 0 0 1 1
198	140	70	1 1 0 0 0 1 1 0	0, 6428	+ 64	0 1 0 0 0 0 0 0
199	142	71	1 1 0 0 0 1 1 1	0, 6157	+ 62	0 0 1 1 1 1 1 0
200	144	72	1 1 0 0 1 0 0 0	0, 5878	+ 59	0 0 1 1 1 0 1 1
201	146	73	1 1 0 0 1 0 0 1	0, 5592	+ 56	0 0 1 1 1 0 0 0
202	148	74	1 1 0 0 1 0 1 0	0, 5299	+ 53	0 0 1 1 0 1 0 1
203	150	75	1 1 0 0 1 0 1 1	0, 5000	+ 50	0 0 1 1 0 0 1 0
204	152	76	1 1 0 0 1 1 0 0	0, 4695	+ 47	0 0 1 0 1 1 1 1
205	154	77	1 1 0 0 1 1 0 1	0, 4384	+ 44	0 0 1 0 1 1 0 0
206	156	78	1 1 0 0 1 1 1 0	0, 4067	+ 41	0 0 1 0 1 0 0 1
207	158	79	1 1 0 0 1 1 1 1	0, 3746	+ 38	0 0 1 0 0 1 1 0
208	160	80	1 1 0 1 0 0 0 0	0, 3420	+ 34	0 0 1 0 0 0 1 0
209	162	81	1 1 0 1 0 0 0 1	0, 309	+ 31	0 0 0 1 1 1 1 1
210	164	82	1 1 0 1 0 0 1 0	0, 2756	+ 28	0 0 0 1 1 1 0 0
211	166	83	1 1 0 1 0 0 1 1	0, 2419	+ 24	0 0 0 1 1 0 0 0
212	168	84	1 1 0 1 0 1 0 0	0, 2079	+ 21	0 0 0 1 0 1 0 1
213	170	85	1 1 0 1 0 1 0 1	0, 1736	+ 17	0 0 0 1 0 0 0 1
214	172	86	1 1 0 1 0 1 1 0	0, 1392	+ 14	0 0 0 0 1 1 1 0
215	174	87	1 1 0 1 0 1 1 1	0, 1045	+ 10	0 0 0 0 1 0 1 0
216	176	88	1 1 0 1 1 0 0 0	0, 0698	+ 7	0 0 0 0 0 1 1 1
217	178	89	1 1 0 1 1 0 0 1	0, 0349	+ 3	0 0 0 0 0 0 1 1
218	180	90	1 1 0 1 1 0 1 0	0, 000	0	0 0 0 0 0 0 0 0
219	182	91	1 1 0 1 1 0 1 1	0	0	0 0 0 0 0 0 0 0
220	184	92	1 1 0 1 1 1 0 0			
221	186	93	1 1 0 1 1 1 0 1			
222	188	94	1 1 0 1 1 1 1 0			
223	190	95	1 1 0 1 1 1 1 1			
224	192	96	1 1 1 0 0 0 0 0			

t_i	x_i (degrés)	$\hat{x}_i$	$\overline{\overline{x}}_i$ binaire décalé	y_i = sin x_i	$\hat{y}_i$ $\simeq 100\, y_i$	$\overline{\overline{y}}_i$ Ct à deux
225	194	97	1 1 1 0 0 0 0 1			
226	196	98	1 1 1 0 0 0 1 0			
227	198	99	1 1 1 0 0 0 1 1			
228	200	100	1 1 1 0 0 1 0 0			
229	202	101	1 1 1 0 0 1 0 1			
230	204	102	1 1 1 0 0 1 1 0			
231	206	103	1 1 1 0 0 1 1 1			
232	208	104	1 1 1 0 1 0 0 0			
233	210	105	1 1 1 0 1 0 0 1			
234	212	106	1 1 1 0 1 0 1 0			
235	214	107	1 1 1 0 1 0 1 1			
236	216	108	1 1 1 0 1 1 0 0			
237	218	109	1 1 1 0 1 1 0 1			
238	220	110	1 1 1 0 1 1 1 0			
239	222	111	1 1 1 0 1 1 1 1			
240	224	112	1 1 1 1 0 0 0 0			
241	226	113	1 1 1 1 0 0 0 1			
242	228	114	1 1 1 1 0 0 1 0			
243	230	115	1 1 1 1 0 0 1 1			
244	232	116	1 1 1 1 0 1 0 0			
245	234	117	1 1 1 1 0 1 0 1			
246	236	118	1 1 1 1 0 1 1 0			
247	238	119	1 1 1 1 0 1 1 1			
248	240	120	1 1 1 1 1 0 0 0			
249	242	121	1 1 1 1 1 0 0 1			
250	244	122	1 1 1 1 1 0 1 0			
251	246	123	1 1 1 1 1 0 1 1			
252	248	124	1 1 1 1 1 1 0 0			
253	250	125	1 1 1 1 1 1 0 1			
254	252	126	1 1 1 1 1 1 1 0			
255	254	127	1 1 1 1 1 1 1 1	0	0	0 0 0 0 0 0 0 0

CHAPITRE X

REALISATION et APPLICATIONS

I - Réalisation

L'appareil, placé dans un tiroir 3 unités, comprend 12 cartes imprimées double face de 205 x 125 mm, dont les fonctions sont les suivantes :

1.	Générateurs d'horloge et de dents de scie.
2.3.	Circuits de commande.
4.	Codeur.
5.6.7.8.	Mémoire.
9.	Système de transfert des données vers la bande magnétique.
10.	Registre et soustracteur digital.
11.	Conversion analogique-digitale et commutation f(x)/f(t).
12.	Conversion digitale-analogique.

L'alimentation des différents circuits est réalisée par :

- une alimentation 5 V, 3,5 A
- une alimentation $\pm$15 V, 150 m A.

placées dans un tiroir deux unités.

La planche X représente le générateur de fonctions ; on retrouve sur la face avant les différentes commandes dont il a été question au chapitre précédent.

II - Quelques résultats

Avant d'aborder le paragraphe concernant les applications pratiques, nous donnons ici quelques résultats simples obtenus.

II.1. Utilisation en générateur de fonctions temporelles

Les photos X1, X2, X3, X4 représentent quelques fonctions $U_s = f(t)$ engendrées par notre appareil.

Rappelons qu'il est possible d'obtenir ces tensions périodiquement ou une seule fois ; rappelons également que l'on peut arrêter la lecture périodique en un point quelconque de la courbe : la photo X5 représente la sinusoïde X4 pour laquelle la lecture a été arrêtée au 90e point de rupture.

II.2. Utilisation en générateur de fonctions de fonction

a) Le premier exemple, illustré par les photos X6 et X7 est le suivant :

La fonction enregistrée est $y = \text{Arcsin } x$

L'entrée de l'appareil reçoit $x = \sin \omega t$ et la sortie délivre donc le signal :

$$y = \text{Arcsin } (\sin \omega t) = \begin{vmatrix} \omega t \\ \pi - \omega t \end{vmatrix}$$

b) Les photos X8 et X9 représentent les fonctions :

$$y = \sin \frac{2\pi x}{p}$$

avec $p = 3$ V et $p = 2$V.

Ces fonctions seront utilisées lors d'une application que nous exposons au paragraphe suivant.

c) La photo X.10 représente la fonction :

$$y = e^{-x^2}$$

qui peut être utilisée pour l'étude des oscillateurs non linéaires à deux paramètres [XIV] .

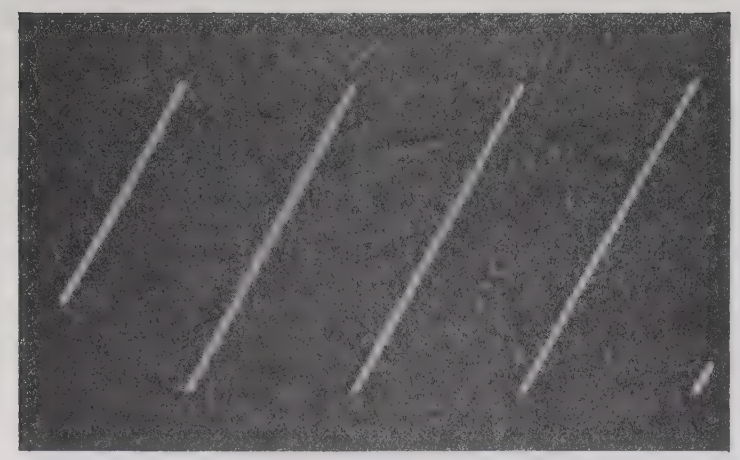


Photo X.1

$y = A(t - 127)$

Déviation horizontale : 2 ms/division

Déviation verticale: 2 V/division

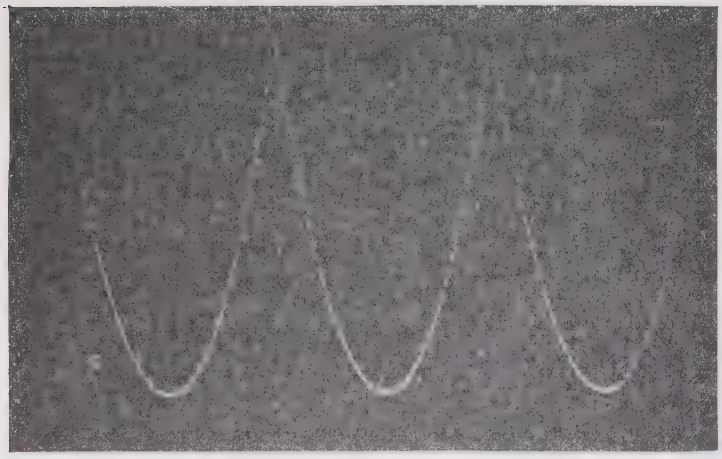


Photo X.2

$y = A(t - 127)^2$

Déviation horizontale :2 ms/division

Déviation verticale: 2 V / division

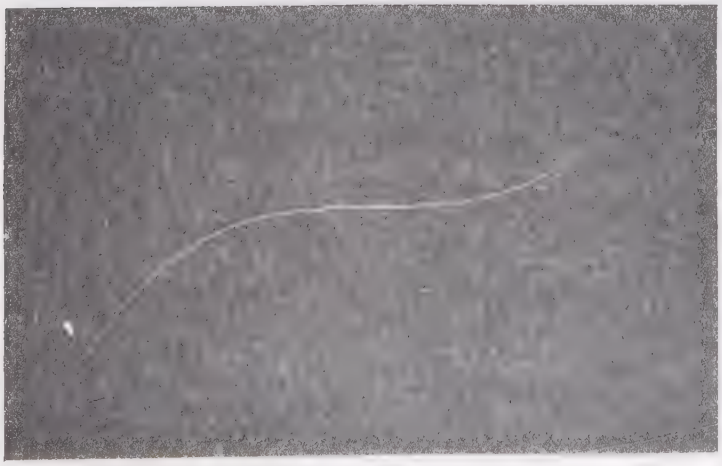


Photo X.3

$y = A\ (t - 127)^3$

Déviation horizontale: 10 ms/division

Déviation verticale: 2 V/division

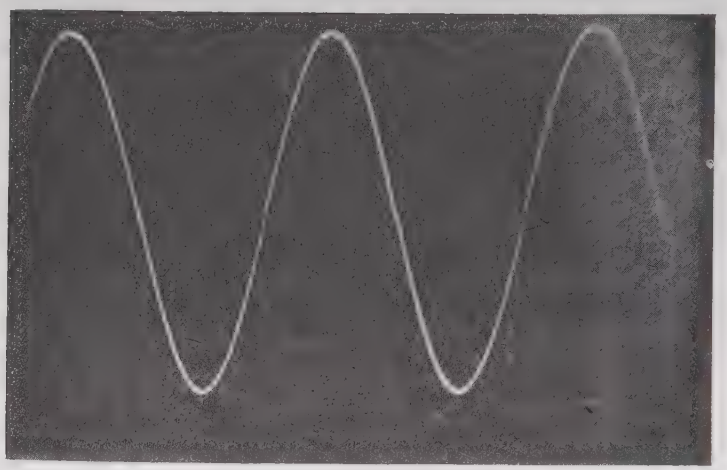


Photo X.4

$y = A \sin \omega t$

Déviation horizontale 2 ms/division
Déviation verticale 2 V/division

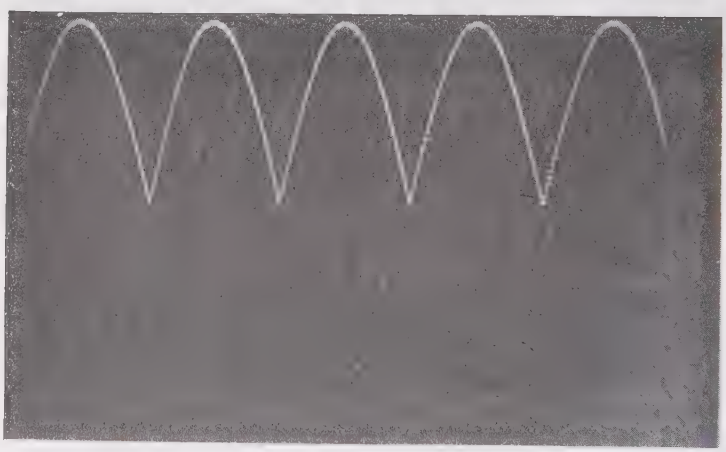
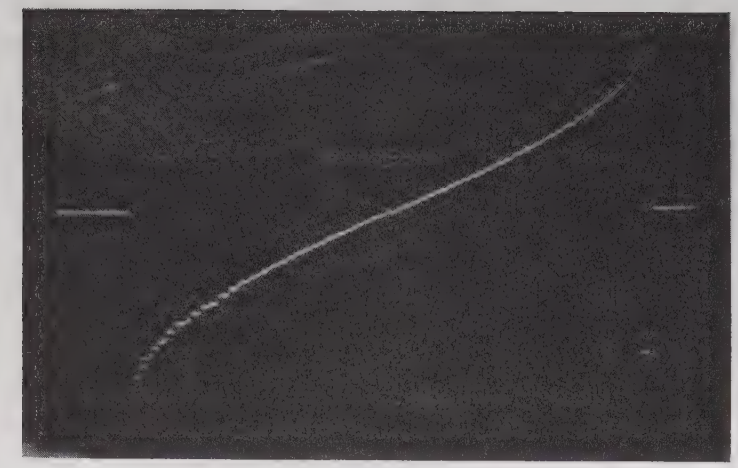


Photo X.5

$y = A \sin \omega t$

Lecture périodique des 90 premiers points de rupture.

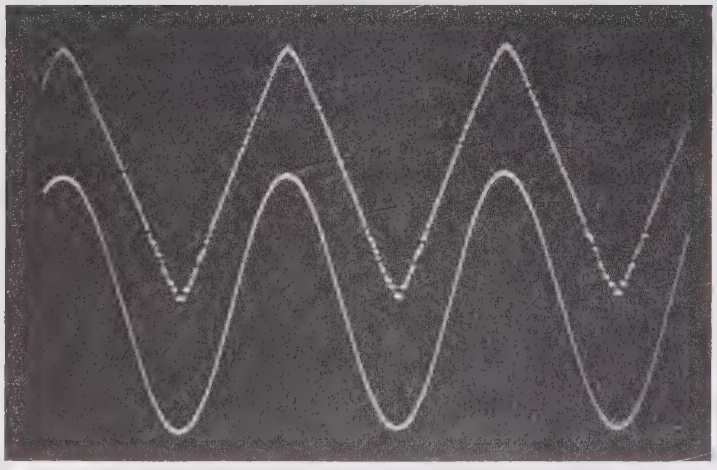


X.6

$y = \text{Arc}\sin x$

Déviation verticale 2 V/division

Déviation horizontale 1 V/division



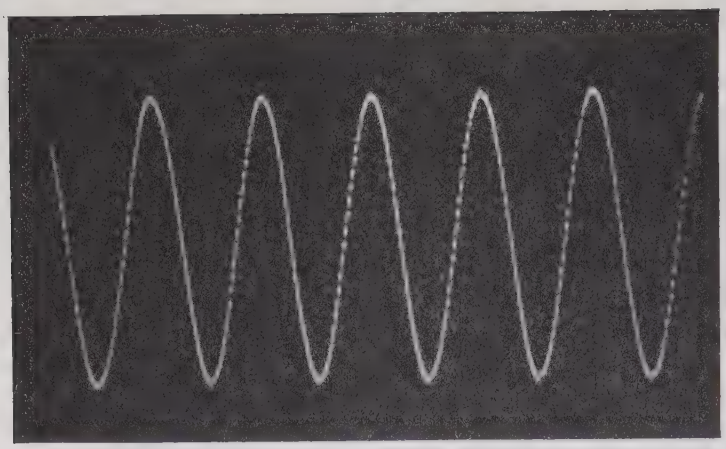
X.7

entrée (x) et sortie (y) du générateur de fonctions

Déviation horizontale 2 ms/ division

Déviation verticale 2 V/division (x)

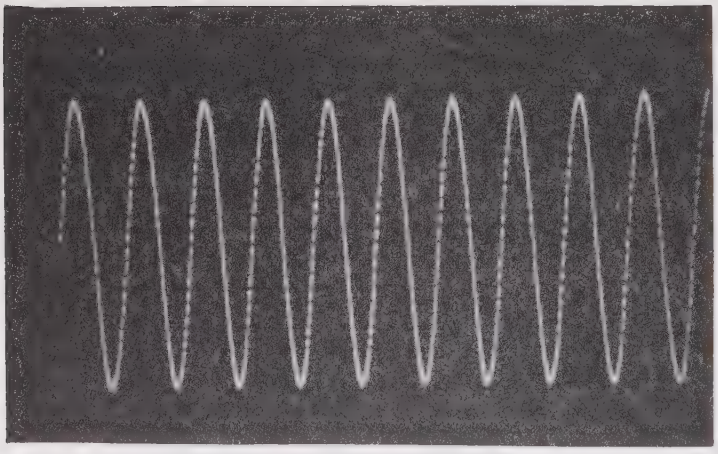
2 V/division (y)



X.8

$y = \sin \frac{2\pi x}{p}$ $\quad p = 3$ V

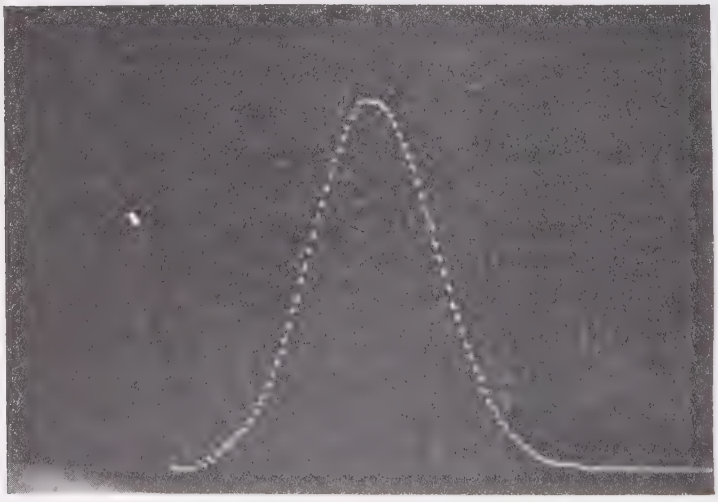
Déviation horizontale : 2 V/division.
Déviation verticale : 0,5 V/division



X.9

$y = \sin \frac{2\pi x}{p}$ $\quad p = 2$ V

Déviation horizontale : 2 V/division.
Déviation verticale : 0,5 V/division.



X.10

$y = ke^{-x^2}$

Déviation horizontale : 2 V/division.
Déviation verticale : 0,5 V/division.

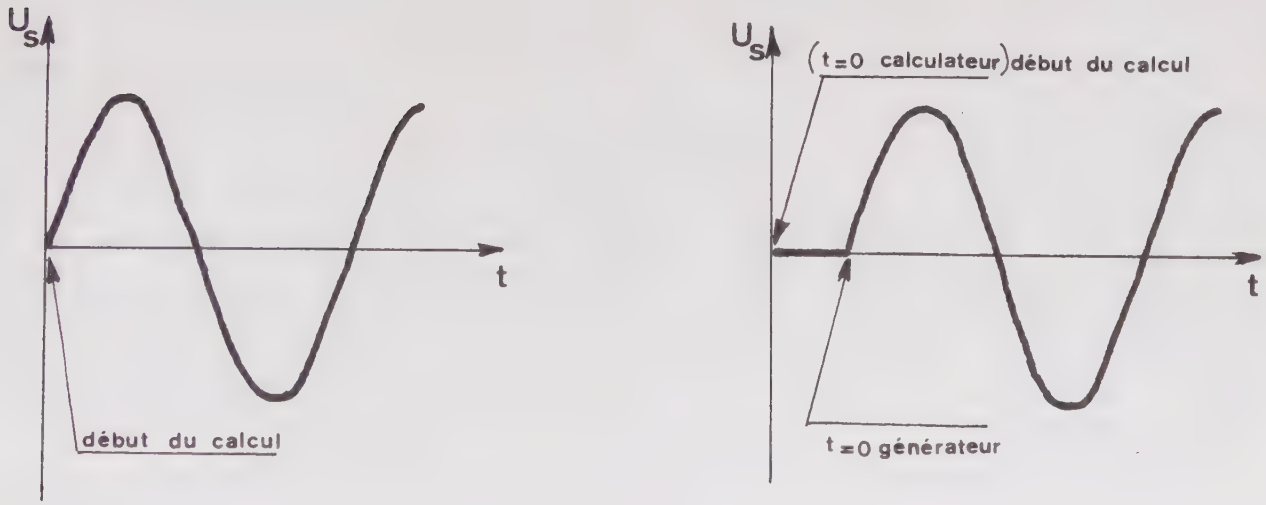
III - Applications au calcul analogique

Le générateur peut être utilisé pour simuler un phénomène physique quelconque. Ce phénomène est alors étudié à l'aide d'un calculateur analogique.

III.1. Asservissement du générateur de fonctions au calculateur analogique E.A.I. TR 48 (E.M.C.)

Il est nécessaire que la fonction engendrée par le générateur débute en synchronisation avec le calculateur.

Par exemple, si l'on utilise le générateur en mode f(t), avec $f(t) = A \sin \omega t$, il faudra que l'instant $t = 0$ soit le même pour le calculateur et pour le générateur (figure X.11).



$U_s = A \sin \omega t$ pour le générateur et le calculateur

$U_s \neq A \sin \omega t$ pour le calculateur

Figure X.11

Lorsque le calculateur est utilisé en mode ''répétitif'' il travaille pendant un temps θ réglable de 20 ms à 200 ms et le calcul est régulièrement interrompu pendant 1 ms pour permettre la remise à zéro des intégrateurs et la réinscription automatique des conditions initiales, également sur les différents intégrateurs.

Une des sorties du calculateur (borne ''operate'') délivre le signal représenté figure X.12, égal à 3 V pendant le calcul et 0 V pendant la réinscription des conditions initiales.

Nous appelerons ce signal, signal de commande et nous le noterons C_o.

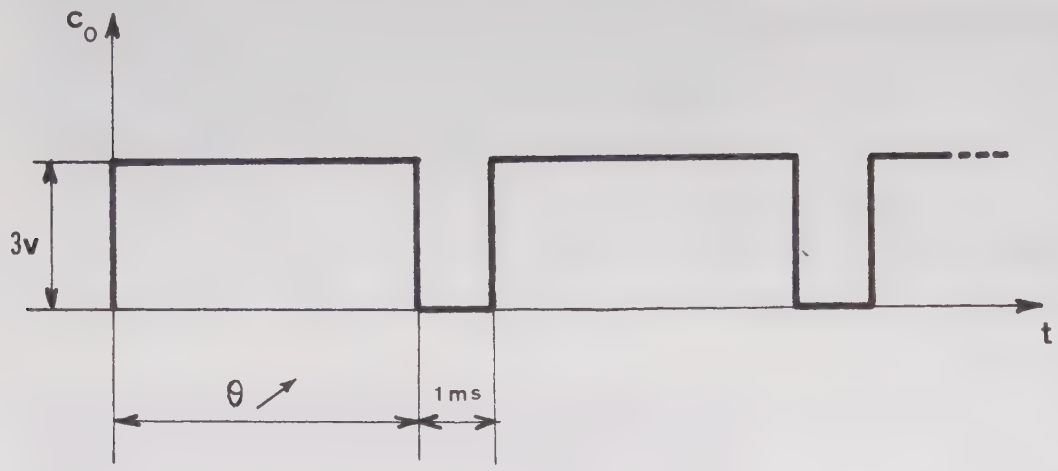


Figure X.12

Le signal C_o est utilisé pour synchroniser le calculateur et le générateur de fonctions : le générateur d'horloge de ce dernier démarrera au front positif de C_o, donc, lors de l'utilisation du générateur en mode f(t), le signal f(t) démarrera en même temps que le calcul. Pour l'utilisation en mode f(x), le signal d'horloge précédent est utilisé pour la conversion analogique -digitale par échantillonnage du signal d'entrée et le début de la conversion coincidera donc avec le début du calcul.

Le montage de base du générateur de dents de scie, à partir duquel est obtenu le signal d'horloge, est modifié comme indiqué figure X.13.

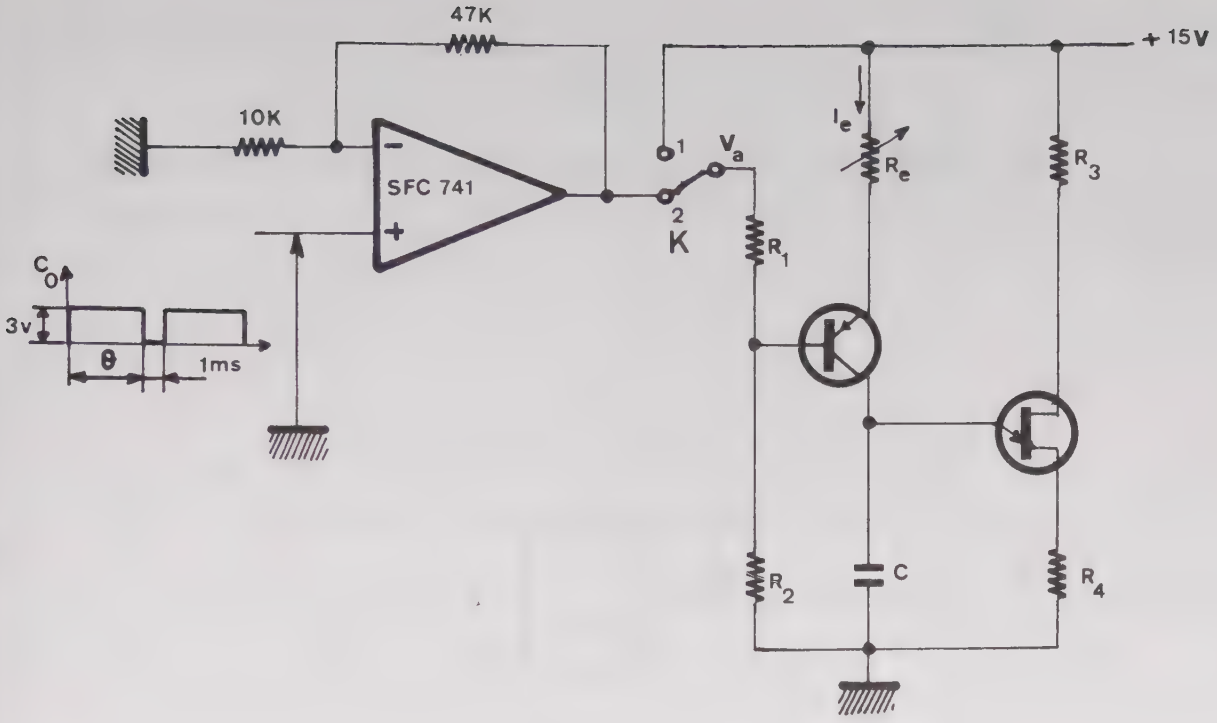


Figure X.13

Dans la position 1 de l'inverseur K, la tension V_A est constamment égale à 15 V et le courant I_e circule en permanence ; les résultats obtenus sont ceux qui ont été exposés au chapitre VIII.

Quand l'inverseur est en position 2, la tension V_A est égale à 15 V quand C_o = 3 V, et égale à 0 V lorsque C_o = 0.

Il en résulte que, lorsque C_o passe au niveau haut, le transistor est polarisé correctement ; le courant I_e constant, dont la valeur dépend de R_e, charge linéairement le condensateur C jusqu'à ce que la tension à ses bornes soit égale à la tension de pic de l'U.J.T. : V_p. A ce moment le condensateur se décharge très rapidement à travers l'U.J.T. et la tension à ses bornes devient égale à la tension de vallée de l'U.J.T. : V_v.

Nous obtenons finalement un train de dents de scie variant de V_p à V_v tant que C_o = 3 V.

Lorsque C_o = 0 V, le courant I_e s'annule et le condensateur se décharge à travers le transistor unijonction.

Finalement, pour cette position de l'inverseur, nous avons un signal d'horloge (obtenu à partir de la dent de scie) lorsque C_o = 3 V.

Le signal C_o est également utilisé pour une remise à zéro du compteur d'adresses en fin de calcul, comme indiqué sur la figure X.14.

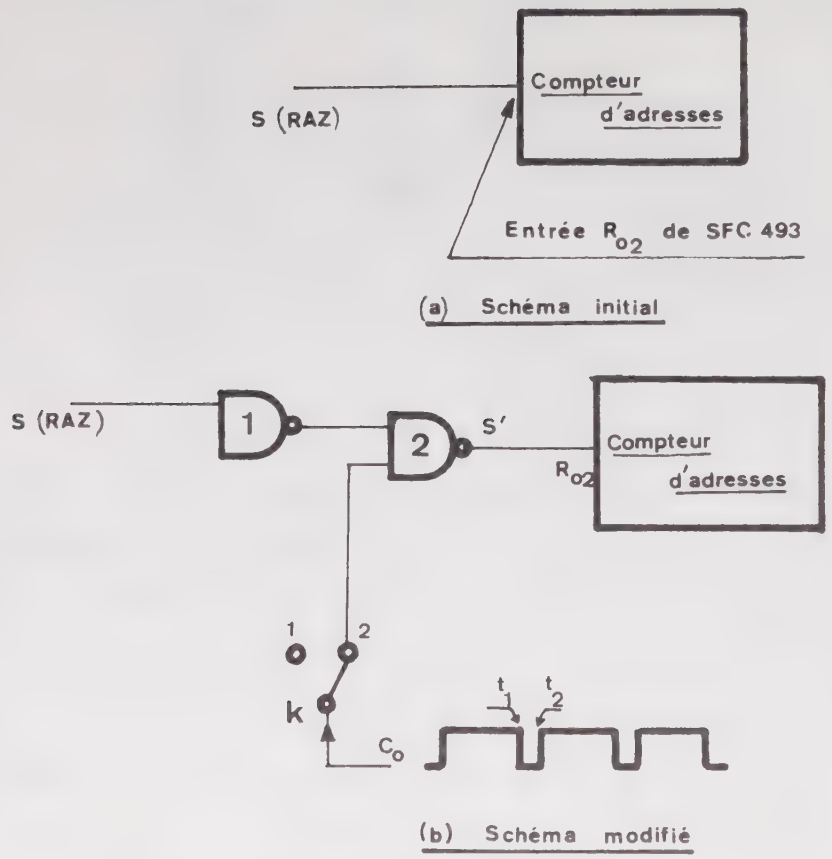


Figure X.14

- sur le schéma initial (a) le compteur d'adresses est remis à zéro lorsque S = 1.
- sur le schéma modifié (b) le compteur d'adresses est remis à zéro :

a) dans la position (1) de l'inverseur (sans calculateur) lorsque $S = 1 \longrightarrow S' = 1$.

b) dans la position (2) de l'inverseur (avec calculateur) lorsque $S' = \bar{S}\, C_o = S + \bar{C}_o = 1$.

Il est donc remis à zéro automatiquement à l'instant t_1 en fin de calcul. A l'instant t_2 le cycle recommence.

La figure X.15 et les photos X.16 et X.17 résument le fonctionnement du système de synchronisation.

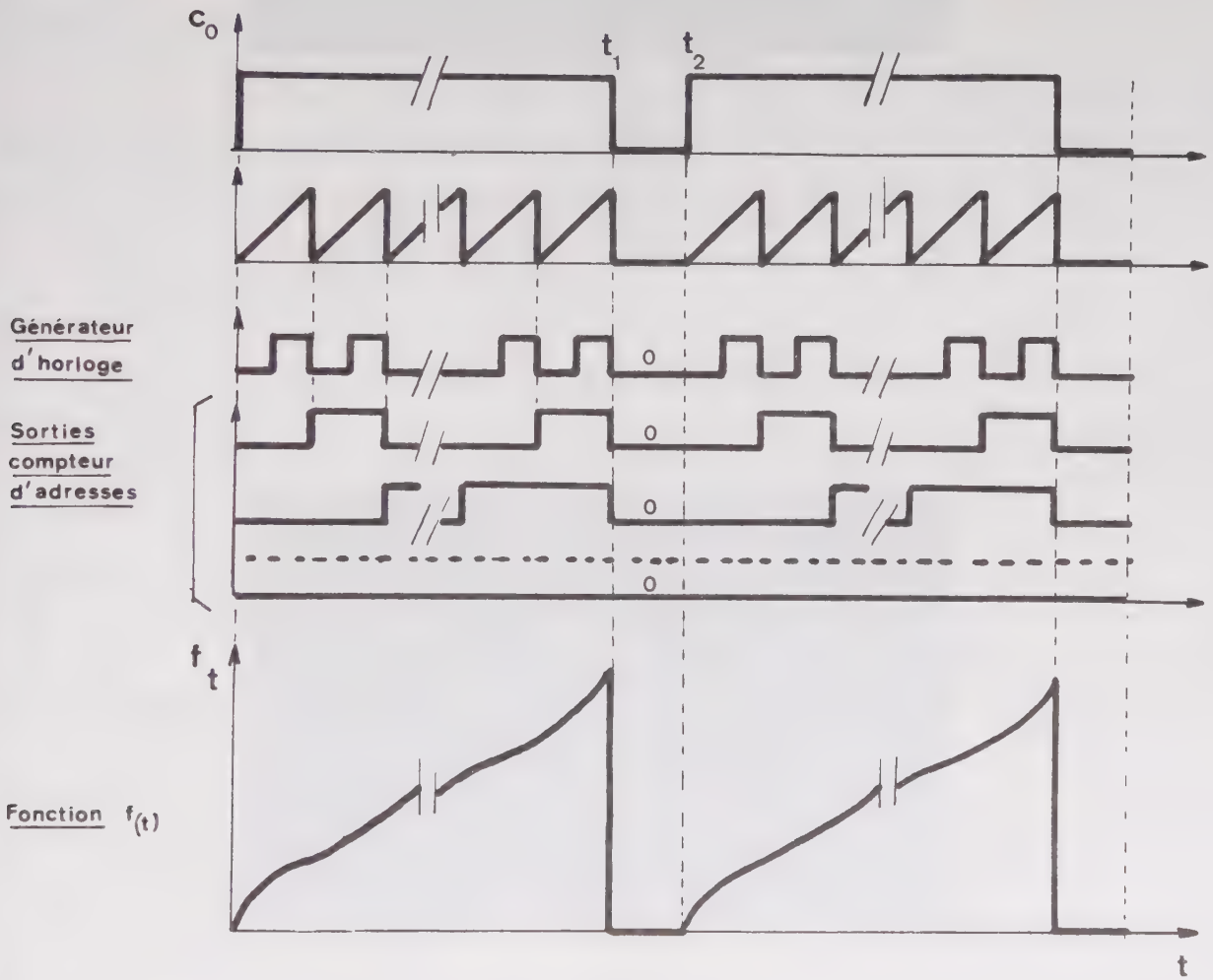
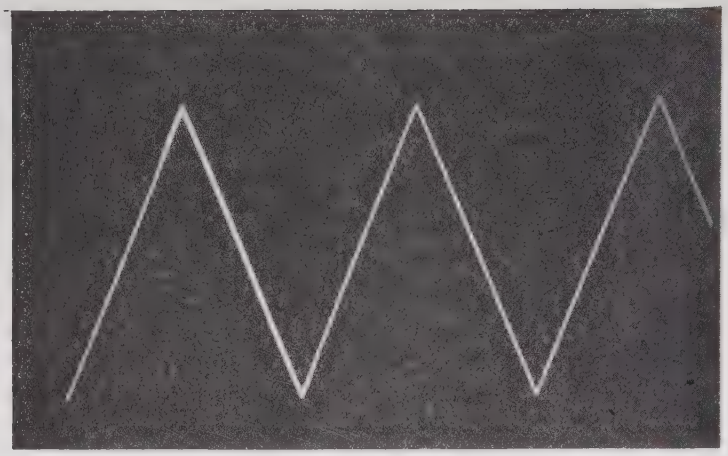


Figure X.15

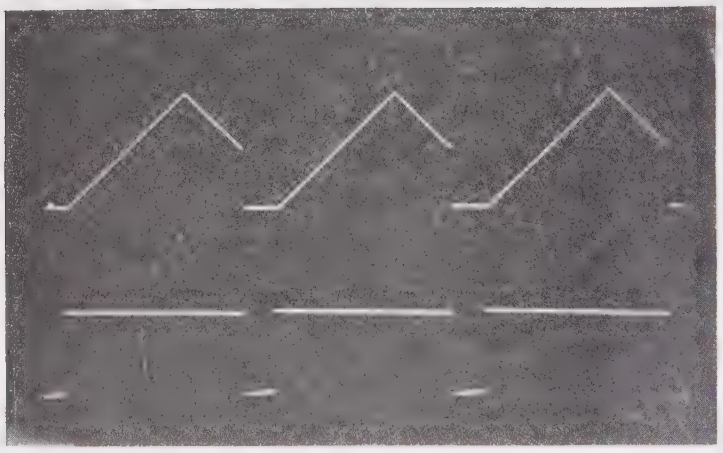
Remarque : Les commandes :

- arrêt du générateur d'horloge,
- mise à zéro du compteur d'adresses,



X.16

$y = f(t)$ Sans asservissement.



X.17

en haut $y = f(t)$ générateur asservi au calculateur avec $\theta < 1$ période de $f(t)$.

en bas signal de commande C_o.

Déviation verticale : 2 V/division.

Déviation horizontale : 2 ms/division.

schématisées sur les figures X.13 et X.14 par les inverseurs ''k'' sont en réalité réalisées par un double inverseur.

III.2. Vérification du bon fonctionnement de l'asservissement sur quelques exemples simples

III.2.1. Utilisation du générateur en mode f(t)

L'ensemble générateur de fonctions, calculateur analogique peut être utilisé, par exemple, pour résoudre les équations différentielles linéaires avec second membre.

Exemple : Soit à résoudre l'équation :

(1) $ay'' + by' + cy = f(t)$ où a, b, c sont des constantes et f(t) une fonction temporelle quelconque engendrée par notre générateur.

L'équation (1) peut s'écrire :

$$y'' = -\frac{b}{a}y' - \frac{c}{a}y + \frac{1}{a}f(t)$$

et le montage à réaliser sur le calculateur est donc le suivant :

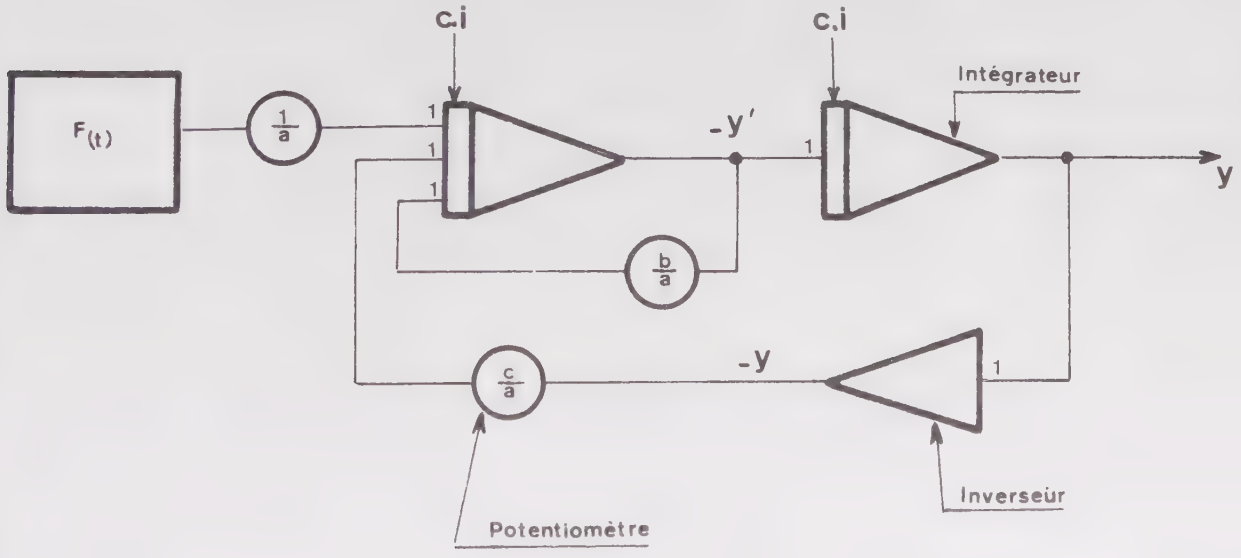


Figure X.18

Pour vérifier le bon fonctionnement de l'ensemble nous avons choisi une équation différentielle du second ordre dont la solution est aisément obtenue par le calcul :

$$y'' + y' = A\,t \qquad \text{avec } y(o) = 1 \quad y'(o) = -1$$

Le calcul nous donne :

$$y = \frac{At^2}{2} - At - (A - 1)\,e^{-t} + A$$

Si nous nous intéressons au cas particulier où $A = 1$ il vient :

$$y = \frac{t^2}{2} - t + 1$$

C'est ce cas particulier $y'' + y' = t$ que nous avons traité sur le calculateur.

Le générateur de fonctions engendre $x = t$; le montage est représenté figure X.19.

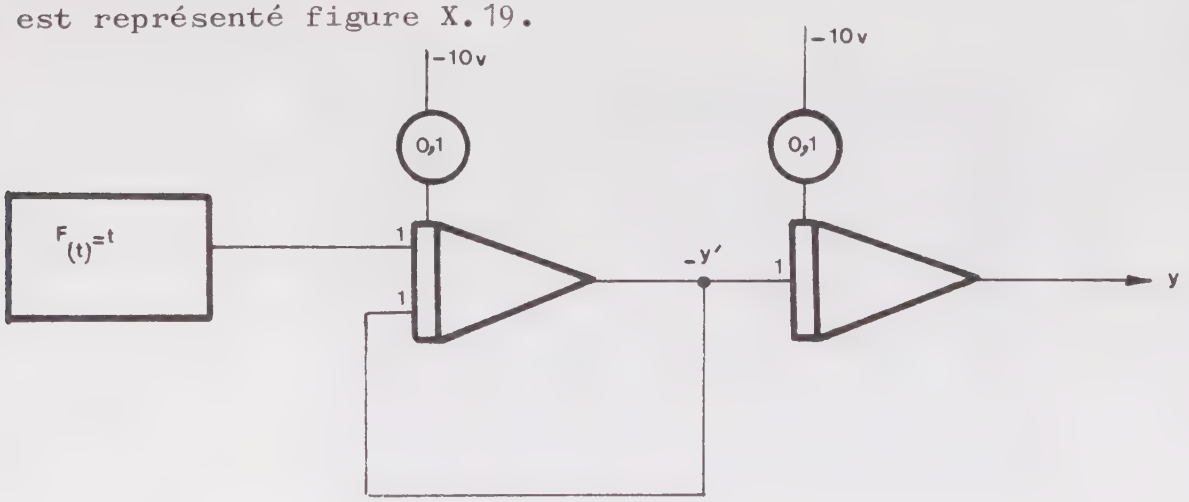


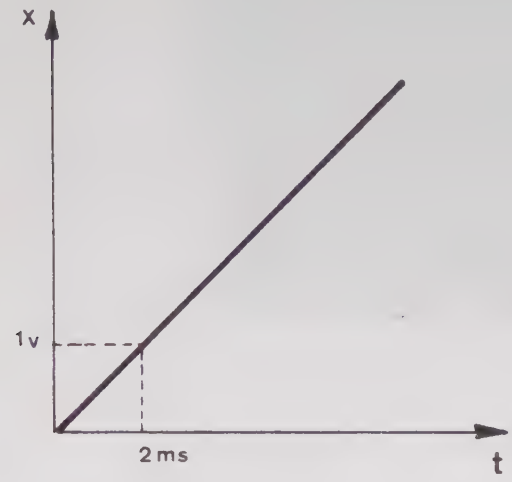
Figure X.19

Les résultats obtenus pratiquement coïncident bien avec ceux que nous avons obtenus plus haut par le calcul.

Cette manipulation nous a permis d'autre part de vérifier le bon fonctionnement de la synchronisation entre générateur de fonctions et calculateur pour les deux modes de fonctionnement de

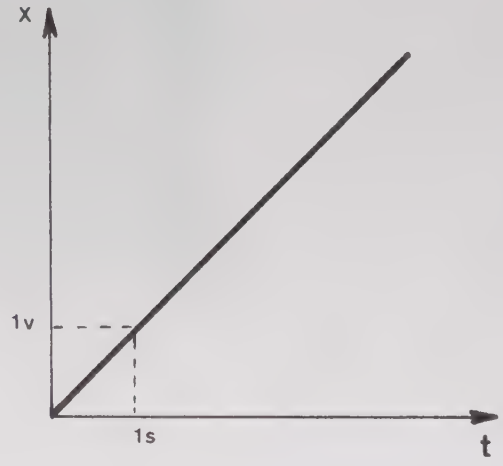
ce dernier : fonctionnement continu (''operate'') ou répétitif (''repetitive operate'') figures X.20 et X.21.

Remarque : Lorsque le calculateur est utilisé en mode répétitif, l'unité de temps est égal à 2 ms ; lorsqu'il est utilisé en mode continu l'unité de temps est égale à 1 s. Suivant le mode de fonctionnement du calculateur la fonction $y = x = t$ sera différente comme le montre la figure X.22.



x = t

Calculateur utilisé en mode répétitif



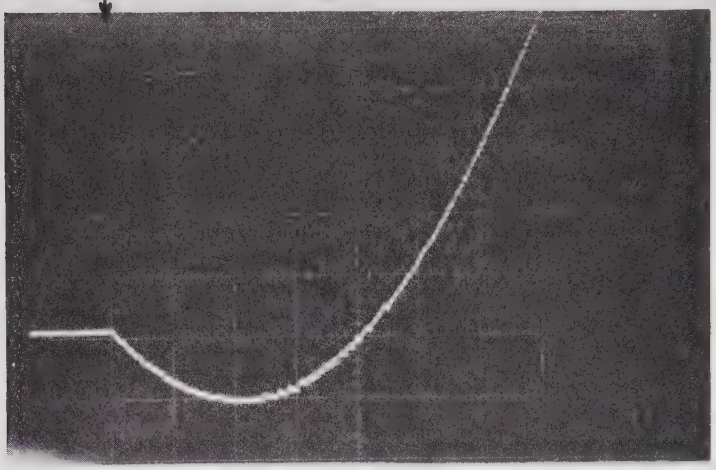
x = t

Calculateur utilisé en mode continu

Figure X.22

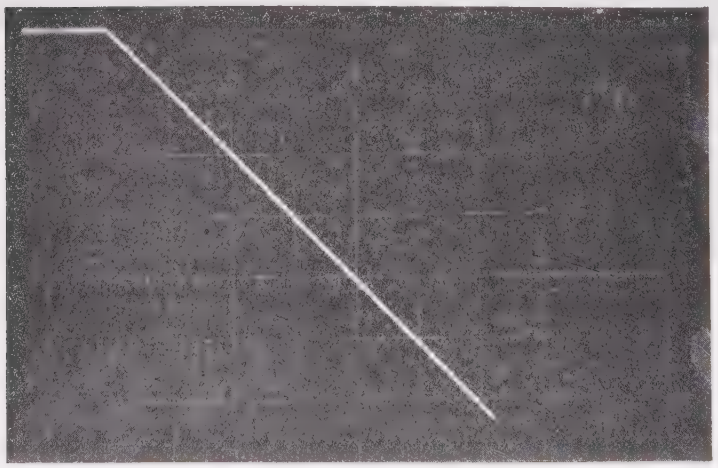
Résolution de l'équation y''+y' = t sur calculateur

t = 0 début du calcul , démarrage de f(t)



y(t)

Déviation horizontale : 1 ms/division
Déviation verticale : 0,5 V/division

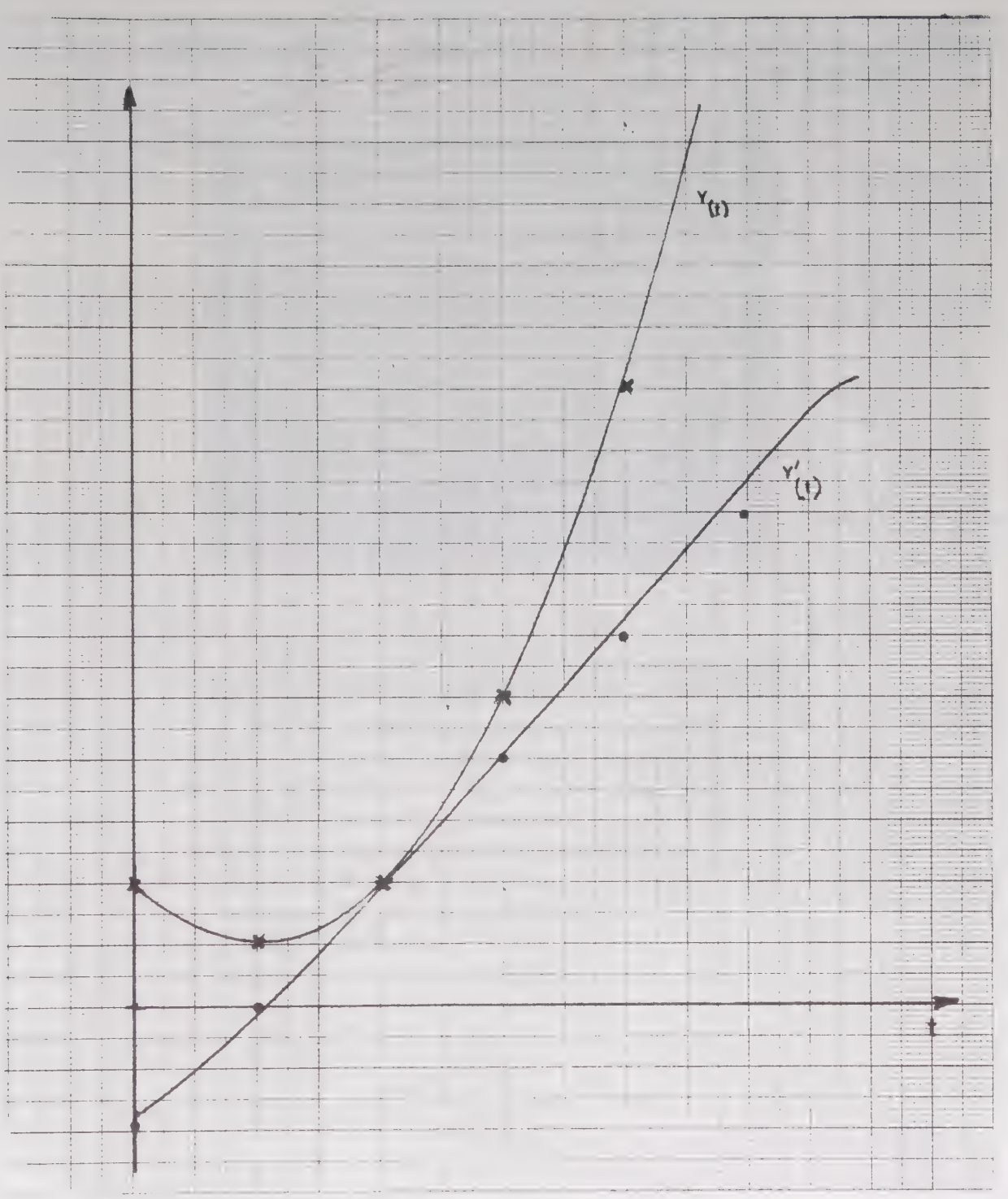


- y'(t)
Déviation horizontale : 1 ms/division
Déviation verticale : 0,5 V/division

X.20

Utilisation du calculateur en mode ''répétitif''

Résolution de l'équation y'' + y' = t sur calculateur



y(0) = 1

y'(0) = - 1

Déviation horizontale : 0,5 s/cm.

Déviation verticale : 0,5 V/cm. x • points théoriques

X.21

Utilisation du calculateur en mode "continu"

III.2.2. Utilisation du générateur en mode f(x)

Le second exemple donné porte encore sur une équation dont la solution analytique est connue, toujours afin de pouvoir vérifier les résultats obtenus sur le calculateur.

Soit à résoudre l'équation différentielle à variables séparées :

$$y' + Ay^2 = 0 \qquad \text{avec } y(o) = 5.$$

Le calcul nous donne :

$$y = \frac{1}{At + \frac{1}{5}}$$

Nous traitons sur le calculateur le cas particulier $A = 1/5$; l'équation à résoudre est alors :

$$y' + \frac{y^2}{5} = 0 \qquad \text{avec } y(o) = 5$$

et le calcul nous donne :

$$y = \frac{5}{t + 1}$$

Le montage réalisé est le suivant :

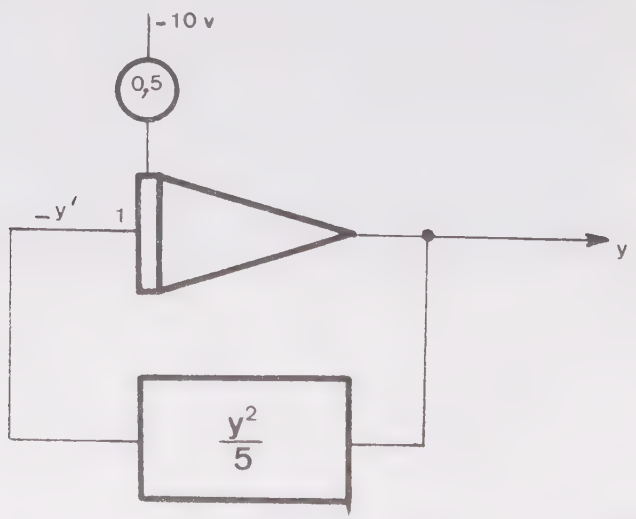
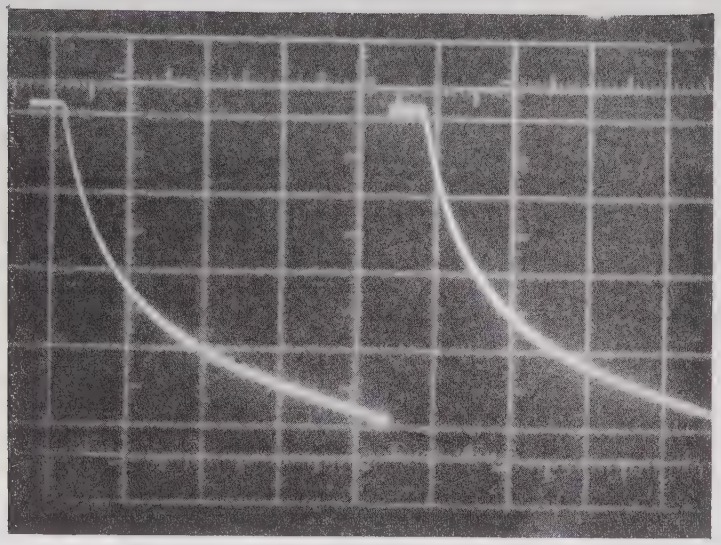


Figure X.23

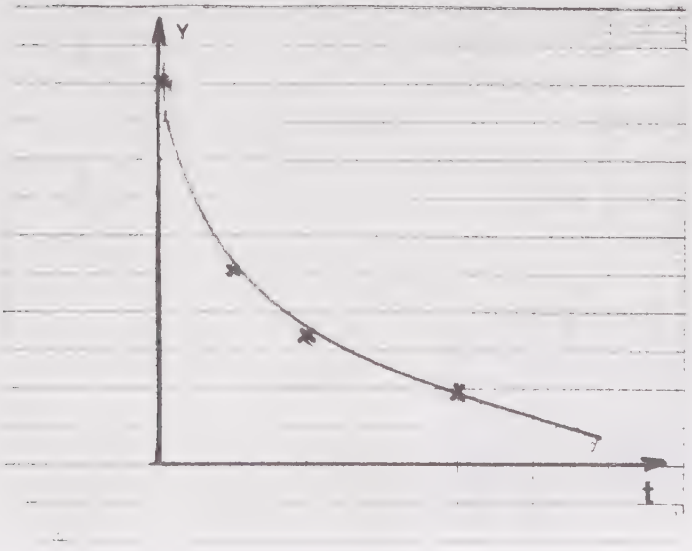
Les résultats obtenus pratiquement apparaissent figure X.24 et coïncident parfaitement avec les résultats théoriques.

Résolution de l'équation $y' + \frac{y^2}{5} = 0$ sur calculateur analogique



a) Calculateur utilisé en mode répétitif

Déviation horizontale : 2 ms/division
Déviation verticale : 1 V/division



b) Calculateur utilisé en mode continu

Déviation horizontale : 1 s/division
Déviation verticale : 1 V/division

✖ points théoriques.

III.3. Etude analogique de l'équation

$$X'' - \delta\mu \sin \frac{2\pi}{p} X' + X = 0$$

III.3.1. Transformation de l'équation

Récemment plusieurs auteurs se sont intéressés à l'équation :

$$\boxed{\frac{d^2X}{d\theta^2} - \delta\mu \sin \frac{2\pi}{p} \left(\frac{dX}{d\theta}\right) + X = 0} \qquad (1)$$

où μ est un paramètre réel positif et $\delta = +1$ ou -1.

Les études théoriques ont établi l'existence d'une infinité de cycles limites pour l'équation (1), mais n'ont pas donné de renseignements concernant la forme des oscillations, leur période et leur amplitude. [XV] , [XVI] , [XVII] .

J. et R. GENIN ont traité le problème sur calculateur analogique XVIII . Nous donnons ci-dessous un résumé des résultats obtenus par ces auteurs.

L'équation (1) peut être remplacée par le système :

$$\boxed{\begin{aligned} y &= \frac{dX}{d\theta} \\ \frac{dy}{d\theta} &= \delta\mu \sin \frac{2\pi}{p} y - X \end{aligned}} \qquad (2)$$

qui permet la représentation des cycles limites dans le plan de phase (X, y).

Ce système conduit à un montage facile sur le calculateur lorsque la paramètre μ est petit ; pour les grandes valeurs de μ il est préférable d'effectuer le changement de variables suivant :

$$X = \mu x = \varepsilon^{-\frac{1}{2}} x$$
$$= \mu^{-1} t = \varepsilon^{\frac{1}{2}} t$$
$$\mu^2 \varepsilon = 1$$

ce qui conduit au système d'équations :

$$\varepsilon y = \frac{dx}{dt}$$
$$\frac{dy}{dt} = \delta \sin \frac{2\pi y}{p} - x \qquad (3)$$

III.3.2. Résolution de l'équation sur calculateur analogique

Pour résoudre sur calculateur analogique les systèmes (2) ou (3) il convient d'engendrer la fonction $\sin \frac{2\pi y}{p}$, avec une période p suffisamment faible, pour que l'on dispose d'un nombre de périodes assez grand dans le domaine des amplitudes admises par le calculateur, c'est-à-dire $\pm$ 10 V, pour pouvoir observer plusieurs cycles limites.

Pour étudier ces systèmes, J. etR. GENIN ont construit spécialement un générateur de fonction délivrant un signal voisin de $\sin \frac{2\pi y}{p}$ avec p = 2,64 V.

Les auteurs terminaient leur article en soulignant qu'un générateur de fonction reproduisant plus exactement $\sin \frac{2\pi y}{p}$ donnerait des résultats pratiques plus précis permettant une meilleure vérification des méthodes d'approximation.

Nous utiliserons donc ici le générateur de fonctions programmable pour engendrer la fonction $\sin \frac{2\pi y}{p}$.

a) $p = 3\ V$

En prenant $p = 3$ V nous disposons de 6 périodes complètes de $\sin \frac{2\pi y}{p}$ dans les limites d'utilisation du calculateur.

Pour résoudre le système (3) nous avons réalisé sur calculateur analogique le montage représenté figure X.25.

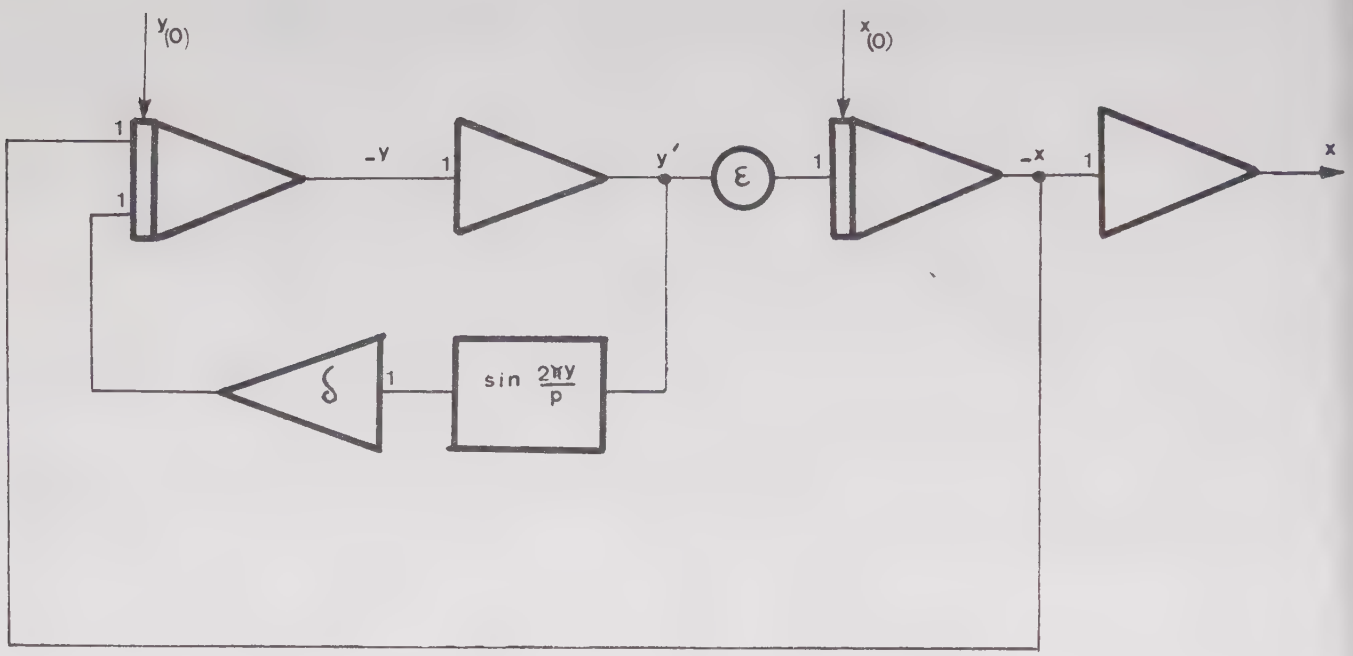


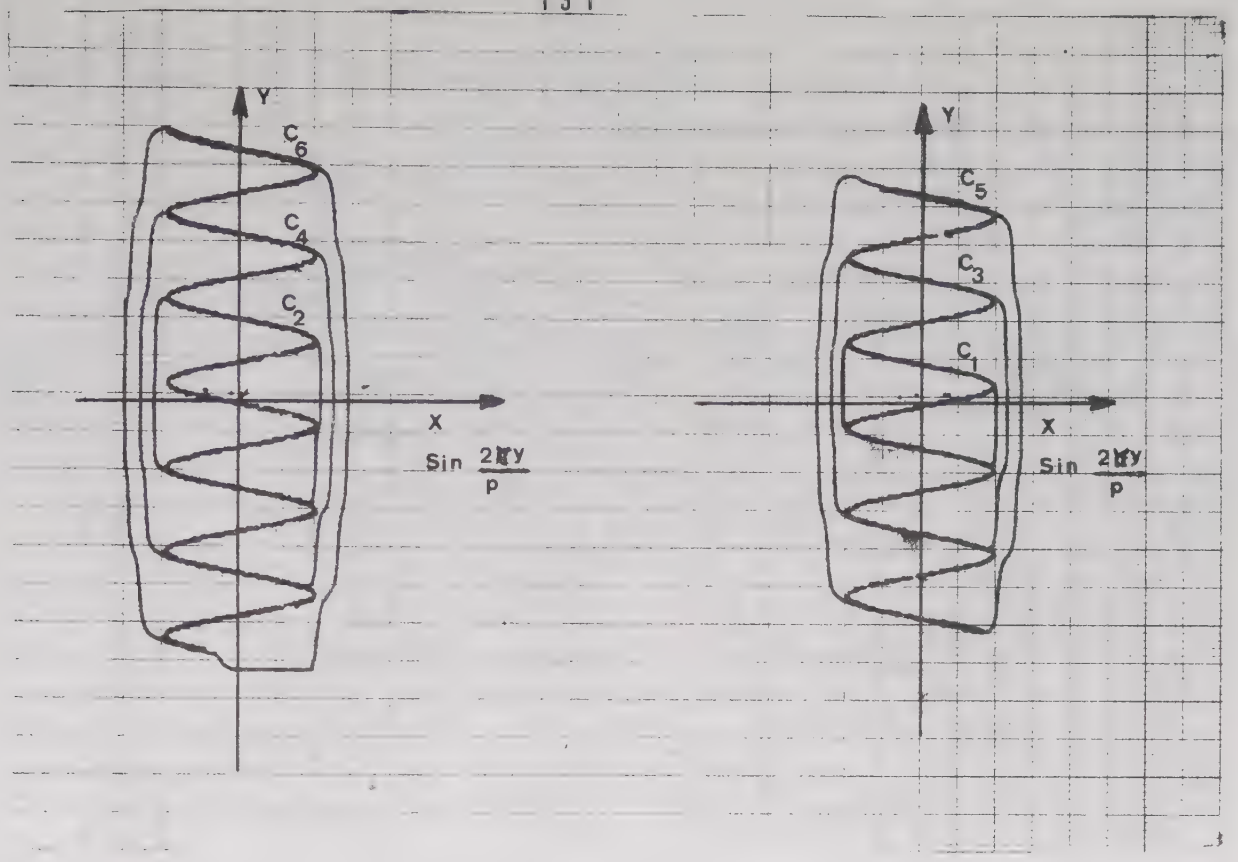
Figure X.25

Nous fixons la valeur initiale de x à zéro ; en faisant varier la valeur initiale de y nous obtenons les différents cycles limites de l'équation (1).

Nous avons envisagé le cas où $\varepsilon = 0{,}01$ de façon à comparer nos résultats avec ceux obtenus par J. et R. GENIN.

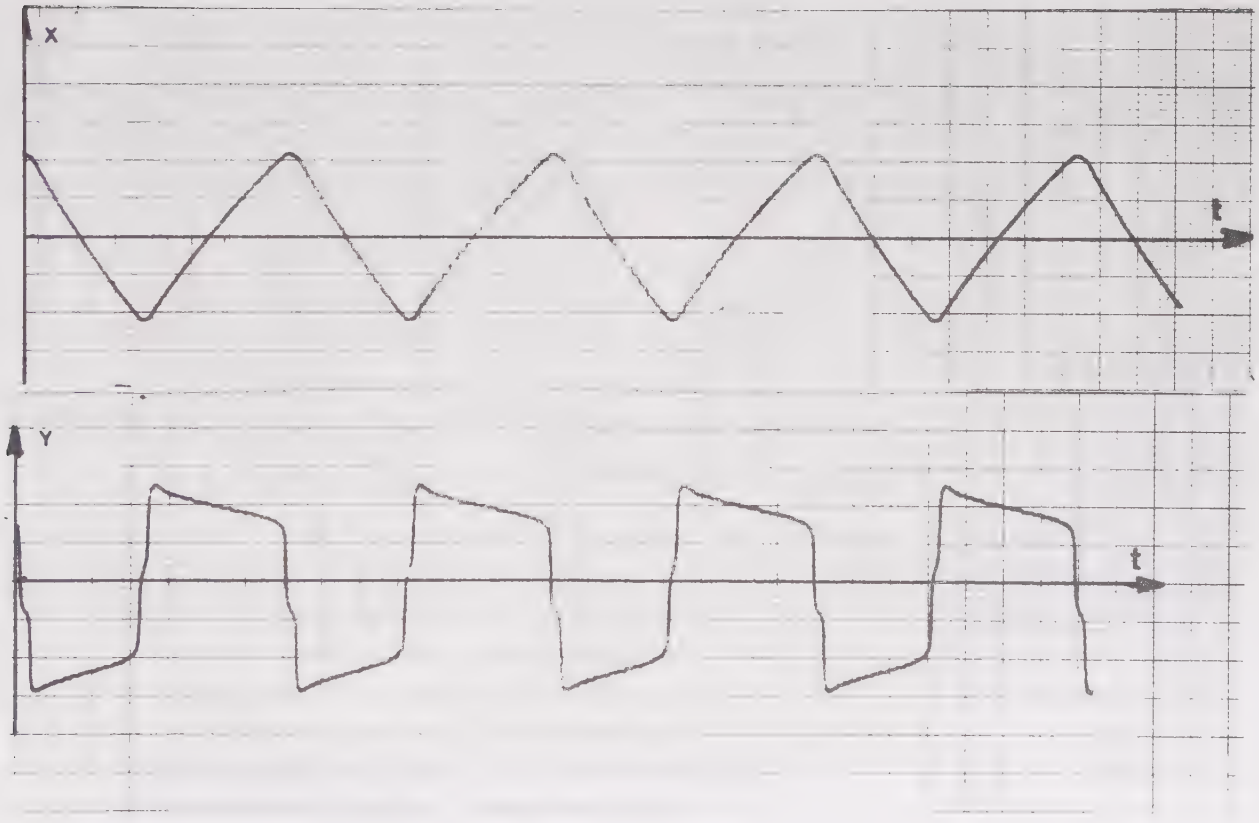
La figure X.26 nous montre les différents cycles, la fonction $\sin \frac{2\pi y}{p}$, ainsi que les oscillations y et x.

Nous notons, après J. et R. GENIN, C_n le cycle correspondant à la $n^{ième}$ racine positive de l'équation caractéristique $\sin \frac{2\pi y}{p}$. Les cycles de rang impair sont obtenus avec $\delta = +1$, les cycles de rang pair avec $\delta = -1$.



$\varepsilon = 0,01$ Déviation horizontale : 1 V/cm

Déviation verticale : 2,5 V/cm



$\varepsilon = 0,01$ Cycle C_2

Déviation horizontale 50 s/cm

Déviation verticale 1 V/carreau (x), 2,5 V/carreau (y)

Le tableau ci-dessous compare les résultats obtenus par J. et R. GENIN et les nôtres.

$\varepsilon = 0,01$

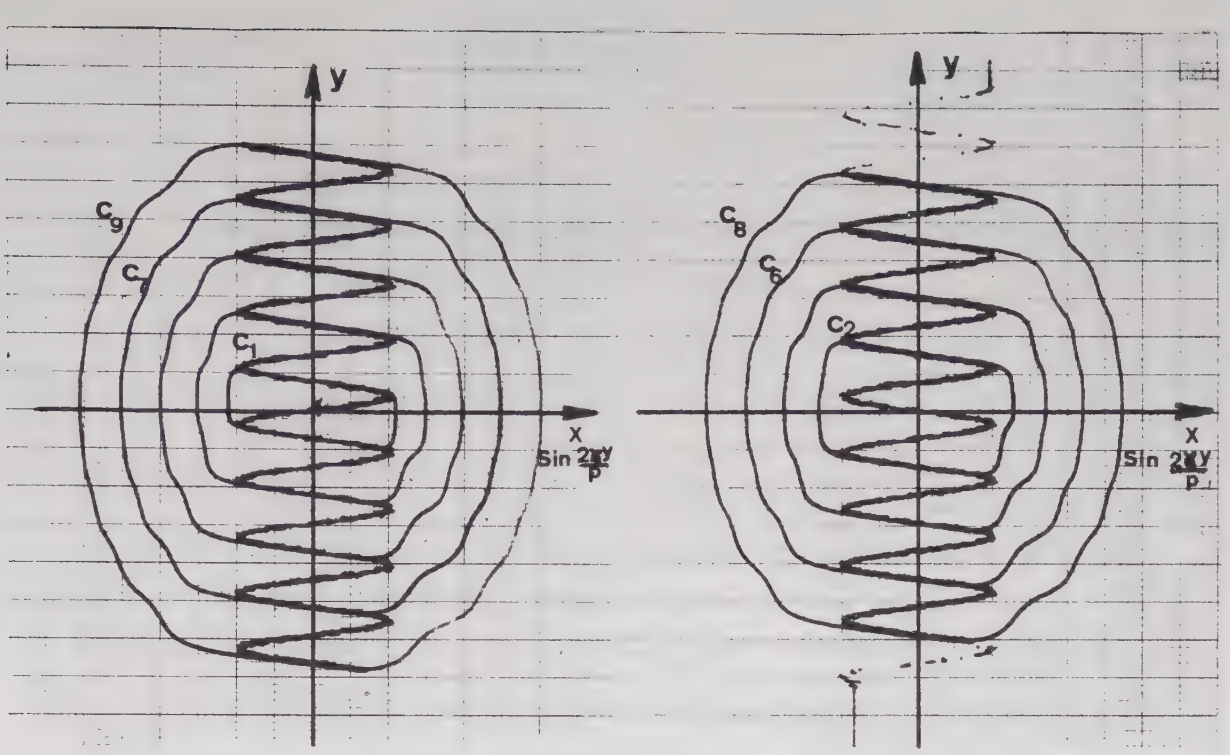
Cycle	Période Calculée	Période Mesurée	Ecart Relatif	Période Mesurée J.R. GENIN	Ecart Relatif	Amplitude (V)
C_1	331	334	0,9 %	327,5	2 %	1
C_2	174	172	1,15 %	180	3,5 %	1,1
C_3	124	128	1,6 %	132,5	6 %	1,15
C_4	100,5	106	6 %	111,3	11 %	1,3
C_5	92	94	2,2 %	97,5	6 %	1,4

Nous voyons que l'utilisation de notre générateur permet d'approcher de plus près les valeurs calculées pour la période. Ces valeurs calculées résultent d'une théorie approchée, applicable pour ε petit, et dont la précision diminue pour les cycles d'ordre élevé.

b) $p = 2\ V$

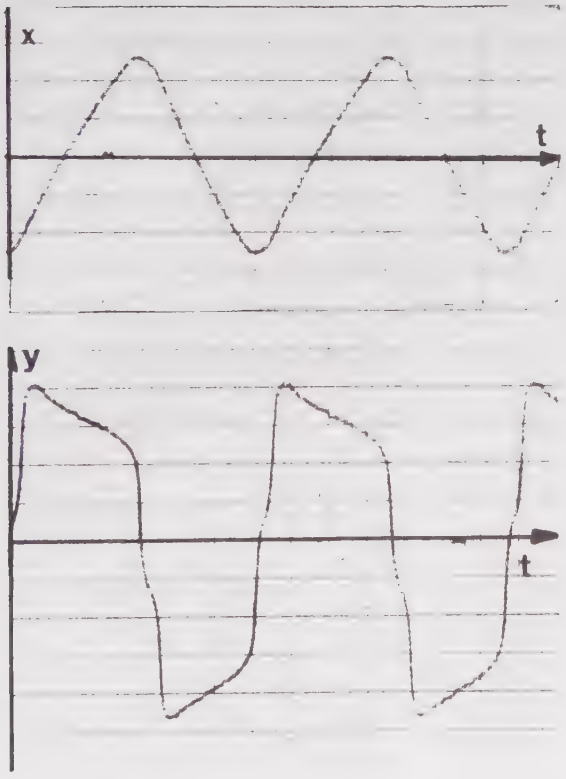
En changeant l'intervalle entre deux points de rupture, nous avons engendré la fonction $\sin \frac{2\pi y}{p}$ avec $p = 2\ V$, ce qui nous permet d'obtenir 10 périodes complètes dans les limites d'utilisation du calculateur et ainsi d'observer des cycles d'ordres plus élevés (figure X.27)

$\varepsilon = 0,1$



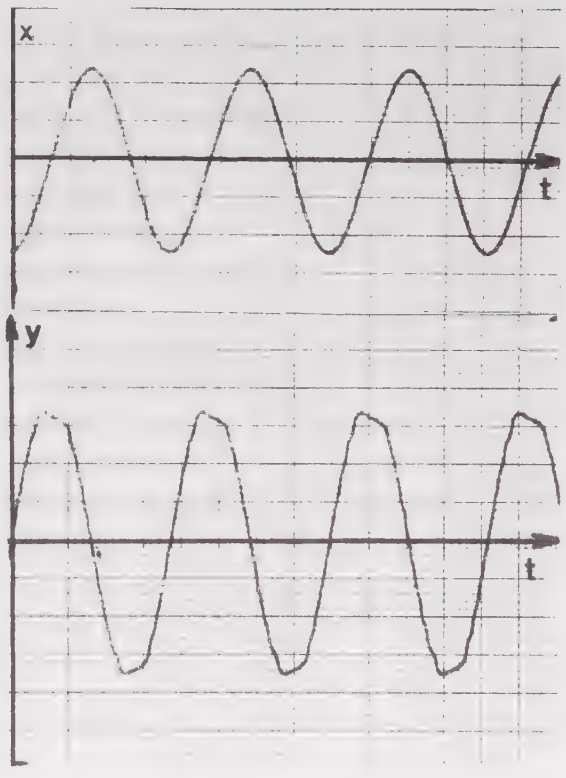
Déviation horizontale : 1 V/cm

Déviation verticale : 2,5 V/cm



$\varepsilon = 0,1$
Cycle C_2

Déviation horizontale 10 s/cm
Déviation verticale 1 V/cm



$\varepsilon = 0,1$
Cycle C_8

Déviation horizontale 10 s/cm
Déviation verticale 2,5 V/cm(x)
5 V/cm(y)

CONCLUSION

Nous avons réalisé un générateur de fonctions y = f(x) utilisant au maximum les techniques numériques.

Au cours des différentes manipulations que nous avons effectuées, l'appareil s'est montré d'une très grande souplesse d'emploi.

Le grand nombre de points de rupture dont nous pouvons disposer permet d'engendrer avec une excellente précision de nombreuses fonctions, pas toujours réalisables lorsque l'on utilise d'autres techniques comme les générateurs de fonction à diodes.

Ces fonctions peuvent être stockées sur bande magnétique et restituées au moment voulu ; il est donc très facile et très rapide, lors d'une manipulation, de passer d'une fonction à une autre. Il s'agit là d'un avantage essentiel sur les autres types de générateurs qui nécessitent de nombreux réglages, toujours longs à effectuer, parfois délicats, et ce à chaque changement de fonction.

L'asservissement du générateur au calculateur EAITR48 permet l'utilisation de l'ensemble pour un grand nombre d'applications au calcul analogique.

Avec le développement technique actuel des circuits intégrés, le prix de revient des éléments nécessaires à la réalisation de ce générateur devrait diminuer considérablement dans les prochaines années.

ANNEXE

Soustraction de nombres algébriques binaires

I - Soustraction de nombres positifs

Soient A et B deux nombres binaires positifs comprenant p digits (y compris le bit de signe).

$$A = \overbrace{S_1\ a_7\ a_6\ a_5\ a_4\ a_3\ a_2\ a_1}^{p \text{ digits}}$$

$$B = S_2\ b_7\ b_6\ b_5\ b_4\ b_3\ b_2\ b_1$$

B.P.S. = signe B.M.S.

$S_1 = S_2 = 0$ car A et B sont positifs.

On désire calculer :

$$\boxed{D = A - B}$$

faisons l'opération

$$\boxed{D' = A + (2^p - B)} = A + \text{complément à deux de B}$$

$$D' = (A - B) + 2^p$$

1er cas : A > B

A - B est un nombre positif donc $D' > 2^p$. Il apparaît dans D' un digit d'ordre p + 1 qui est un 1.

Si l'on ne tient compte que des p premiers digits, ceux-ci représentent la différence A - B car $\overbrace{2^p = 1\ 0000\ 0000}^{(p+1)^e \text{ digit}}$ dans l'exemple choisi.

A - B est un nombre de p chiffres, le digit d'ordre p est obligatoirement un zéro : c'est le bit de signe.

Exemple : p = 8

$$D \begin{cases} 0\ 111\ 1111 & (+\ 127) \\ -\ 0\ 110\ 0100 & -(+\ 100) \\ \hline = 0\ 001\ 1011 & = +\ 27 \end{cases}$$

↑ signe

$$D' \begin{cases} 0\ 111\ 1111 & (+\ 127) \\ +\ 1\ 001\ 1100 & +(\text{Ct 2 de } +100) \\ \hline 1\ 0\ 001\ 1011 \rightarrow D & \end{cases}$$

↑ $(p+1)^e$ digit

2ème cas : A < B

$$D' = A - B + 2^p$$

A - B est négatif, D' est donc inférieur à 2^p, il n'apparaît pas de bit d'ordre p + 1.

$$D' = -|A - B| + 2^p$$

$$D' = 2^p - |A - B|$$

D' représente le complément à deux de la valeur absolue de la différence. C'est donc la différence A - B écrite dans le code des compléments à deux (d'après la règle de formation de ce code).

Comme A < B et S_1, S_2 = 0 le digit d'ordre p est obligatoirement un ''1'' : c'est le bit de signe.

Exemple :

$$D \begin{cases} 0\ 11\ 00\ 100 & (+\ 100) \\ -\ 0\ 11\ 11\ 111 & -(+\ 127) \\ \hline (-1)\ 1\ 11\ 00\ 101 & = -\ 27 \end{cases}$$

$$D' \begin{cases} 0\ 11\ 00\ 100 & (+\ 100) \\ +\ 1\ 00\ 00\ 001 & +(\text{Ct à 2 de } +127) \\ = \hline 1\ 11\ 00\ 101 & \end{cases}$$

↑ signe

Ct à deux de 27 = - 27 dans le code des Cts à deux.

3ème cas : A = B

Les p premiers digits de D' représentent A - B c'est-à-dire 0000 0000.

En résumé

A et B étant deux nombres positifs de p bits, la différence A - B est obtenue en ajoutant à A, le complément à deux de B. Les p premiers digits du résultat de cette opération représentent la différence A - B exprimée dans le code des compléments à deux.

Le bit d'ordre p est le bit de signe ; il est égal à zéro si A > B, à un si A < B.

II - Soustraction de nombres algébriques

Les nombres A et B peuvent être positifs ou négatifs, ils sont écrits dans le code des compléments à deux et l'on désire effectuer l'opération,

$$D = A - B$$

Si A et B comportent p bits, la différence A - B pourra, suivant les signes respectifs de A et B, comporter p + 1 bits; ceci nous oblige à écrire A et B avec p + 1 bits.

Si le nombre A s'écrit $S_1\ a_7\ a_6\ a_5\ a_4\ a_3\ a_2\ a_1$ avec p digits il s'écrira

$A' = S_1 S_1\ a_7\ a_6\ a_5\ a_4\ a_3\ a_2\ a_1$ avec p + 1 digits.

Exemples :

A = + 127	=	0 111 1111	écrit avec p digits
A' = + 127	=	00 111 1111	écrit avec p + 1 digits
A = - 127	=	1 000 0001	écrit avec p digits
A' = - 127	=	11 000 0001	écrit avec p + 1 digits

Nous voyons donc que pour écrire un nombre A de p digits avec p + 1 digits, il convient de lui ajouter en position de bit le plus significatif un bit égal au bit de signe.

Un exemple nous montrera que cette adjonction est nécessaire avant d'effectuer l'opération A - B.

Soient donc les nombres A' et B' de p + 1 digits, obtenus comme indiqué ci-dessus à partir de A et B. Effectuons l'opération :

$$D' = A' + (2^{p+1} - B') = A' + \text{complément à 2 de } B'$$

$$\boxed{D' = A' - B' + 2^{p+1}}$$

II.1. A et B de signes contraires

a) A > B donc A > 0 et B < 0

$$D' = A' - B' + 2^{p+1}$$

B' étant négatif, il s'écrit dans le code des compléments à deux :

$$B' = 2^{p+1} - |B'|$$

d'où

$$D' = A' + |B'| = |A' - B'|$$

Le bit d'ordre p + 1 de D' est nul : c'est le bit de signe.

$D' = |A' - B'|$ représente bien la différence A' - B'

Exemple :

A = + 127 ⟶ A' = 00 111 1111
B = - 127 ⟶ B' = 11 000 0001

Complément à deux de B' = 00 111 1111

$$A' + Ct\ 2\ B' = \begin{array}{r} 00\ 111\ 1111 \\ +\ 00\ 111\ 1111 \\ \hline 01\ 111\ 1110 \end{array}$$

signe + 254

Remarque : si l'on avait effectué A + Ct 2 de B on aurait trouvé

$$\begin{array}{r} 0\ 111\ 1111 \\ +0\ 111\ 1111 \\ \hline 1\ 111\ 1110 \end{array}$$

Il manque le bit de signe (d'où la nécessité de travailler avec A' et B')

b) $A < B$ donc $A < 0$ et $B > 0$

A' s'écrit dans le code des compléments à deux

$$A' = 2^{p+1} - |A'| \qquad B' = |B'|$$

$$D' = A' + Ct\ 2\ B' = 2^{p+1} - |A'| + 2^{p+1} - |B'|$$

$$D' = 2^{p+1} + \left[2^{p+1} - (|A'| + |B'|)\right] = 2^{p+1} + Ct\ 2 \text{ de } (|A'| + |B'|)$$

Il apparaît un digit d'ordre p + 2.

Les p + 1 premiers digits représentent le complément à 2 de $|A'| + |B'|$, C'est-à-dire le complément à deux de

$-A' + B'$ ou de $|A' - B'|$

$$D' = 2^{p+1} + Ct\ 2 \text{ de } |A' - B'|$$

Les p + 1 premiers digits de D' représentent bien la différence A' - B' exprimée dans le code des complément à 2. Le bit d'ordre p + 1 est le bit de signe, c'est obligatoirement un ''un''.

Exemple :

A' = - 127 = 11 000 0001

B' = + 127 = 00 111 1111

Complément 2 B' = = 11 000 0001

A' + Ct 2 B' = 11 000 0001

11 000 0001

1 10 000 0010

p + 2 ↙ ↓ 254

signe ↓

II.2. A et B négatifs

A' s'écrit $2^{p+1} - |A'|$ dans le code des compléments à deux.

B' s'écrit $2^{p+1} - |B'|$

D' = A' + Complément à 2 de B'

$$= 2^{p+1} - |A'| + \left[2^{p+1} - (2^{p+1} - |B'|) \right]$$

$$D' = 2^{p+1} - |A'| + 2^{p+1} - 2^{p+1} + |B'|$$

$$\boxed{D' = 2^{p+1} - (|A'| - |B'|)}$$

a) $|A'| > |B'|$ $D' < 2^{p+1}$ il n'apparaît pas de bit d'ordre p + 2

$$|A'| - |B'| = |A' - B'| \qquad (A' - B') < 0$$

$$D' = 2^{p+1} - |A' - B'|$$

D' représente bien la différence A' - B' exprimée dans le code des compléments à deux.

Le digit d'ordre p + 1 est égal à 1 (signe)

b) $|A'| < |B'|$

$|A'| - |B'| < 0$ $\quad D' > 2^{p+1}$. Il apparaît un digit d'ordre p + 2

$$|A'| - |B'| = B' - A' = - |A' - B'|$$

$$D' = 2^{p+1} + |A' - B'| = 2^{p+1} + (A' - B')$$

Les p + 1 premiers digits représentent la différence A' - B' qui est positive. Le $(p + 1)^{ième}$ bit est le bit de signe : il est nul.

Exemples :

a- $|A'| > |B'|$

A' = - 127 = 11 000 0001
B' = - 100 = 11 001 1100
Ct à deux de B' = = 00 110 0100

A' + Ct 2 de B' = 11 000 0001
+ 00 110 0100
11 110 0101

Signe - 27 (code des Cts à deux)

b- $|A'| < |B'|$

A' = - 100 = 11 001 1100
B' = - 127 = 11 000 0001
Ct à deux de B' = = 00 111 1111

A' + Ct 2 de B' = 11 001 1100
00 111 1111
1 00 001 1011

p + 2 | 27
signe +

En conclusion :

A et B étant deux nombres algébriques de p bits écrits dans le code des compléments à deux, l'opération :

$$D' = A' + Ct\ 2\ B'$$

(où A' et B' sont les nombres A et B auxquels on a ajouté, en position de bit le plus significatif, un bit égal au bit de signe) donnera un nombre comportant $p + 1$ ou $p + 2$ bits. Les $p + 1$ premiers digits représentent la différence A - B exprimée dans le code des compléments à 2, le $(p + 1)^e$ bit étant le bit de signe.

BIBLIOGRAPHIE

I. HAMER

''Optimum linear segment function generation''
A.I.E.E. Transactions, Novembre 1956, tome II, pp. 518-520.

II. STONE H.

''Approximation of curves by line segments'' 1959.

III. F.E. TAYLOR

''Les éléments constitutifs d'un ordinateur digital : dispositifs magnétiques et électroniques de stockage''
ORBIT, Novembre 1971, volume 6, n° 9, pp. 9-19.

IV. L. ALTMAN

''Semiconductor random-access memories''
ELECTRONICS, Juin 1974, volume 47, n° 12, pp. 108-110.

V. D.F. HOESCHELE Jr.

''Techniques de conversion analogique-digitale et digitale-analogique''
Editions Masson et Cie.

VI. ANALOG-DIGITAL CONVERSION HANDBOOK

by the engineering staff of Analog devices, Inc. Juin 1972.

VII. DIGITAL TO ANALOG CONVERTER HANDBOOK

by the Applications engineering department of Hybrid systems corporation, 1970.

VIII. J. PASTORIZA

''Conception et réalisation du convertisseur digital/analogique monolithique ∧ DAC''
ORBIT, Octobre 1971, volume 6, n° 8, pp. 23-35.

IX. R. DAMAGE

''Logique électronique et circuits intégrés numériques''.
Editions radio 70, pp. 443-453.

X. P. NASLIN

''Principe des calculatrices numériques automatiques''
Dunod, 1960, pp. 28-33.

XI. T.P. SYLVAN

Motorola semi-conductor products Inc.
Application note AN-294.
''Unijonction transistor timers' and oscillators.

XII. GENERAL ELECTRIC. SEMICONDUCTOR PRODUCTS DEPARTMENT

Application note 90.10 5/65
''The unijonction transistor characteristics and àpplications''

XIII. TEXAS INSTRUMENTS FRANCE

Recueil 1971 de notes d'applications sur l'utilisation des circuits intégrés digitaux. pp. 156-158.

XIV. C. JAOUEN Thèse de Doctorat de 3e Cycle 1974, Rennes.

''Contribution à l'étude des oscillateurs non linéaires à deux paramètres''.

XV. H. HOCHSTADT. B. STEPHAN

''On the limit cycles of $x'' + \lambda \sin \dot{x} + x = 0$
Arch. Rat. Mech. Anal, 23 (1967) 369-379.

XVI. C. COMSTOCK

''On the limit cycles of $x'' - \lambda \sin \dot{x} + x = 0$''
J. Math. Anal. Appl. 26 (1969) 128-141.

XVII. R.H. D'HEEDENE

''For all real λ, $\ddot{x} + \lambda \sin \dot{x} + x = 0$ has an infinite number of limit cycles'', J. differential equations, 5, 1969 (564-571).

XVIII. J. et R. GENIN

''Etude analogique des équations $\ddot{x} - \delta \lambda F(\dot{x}) + x = 0$ ''
Annales de l'association internationale pour le calcul analogique, n° 3, Juillet 1973, pp. 104-114.

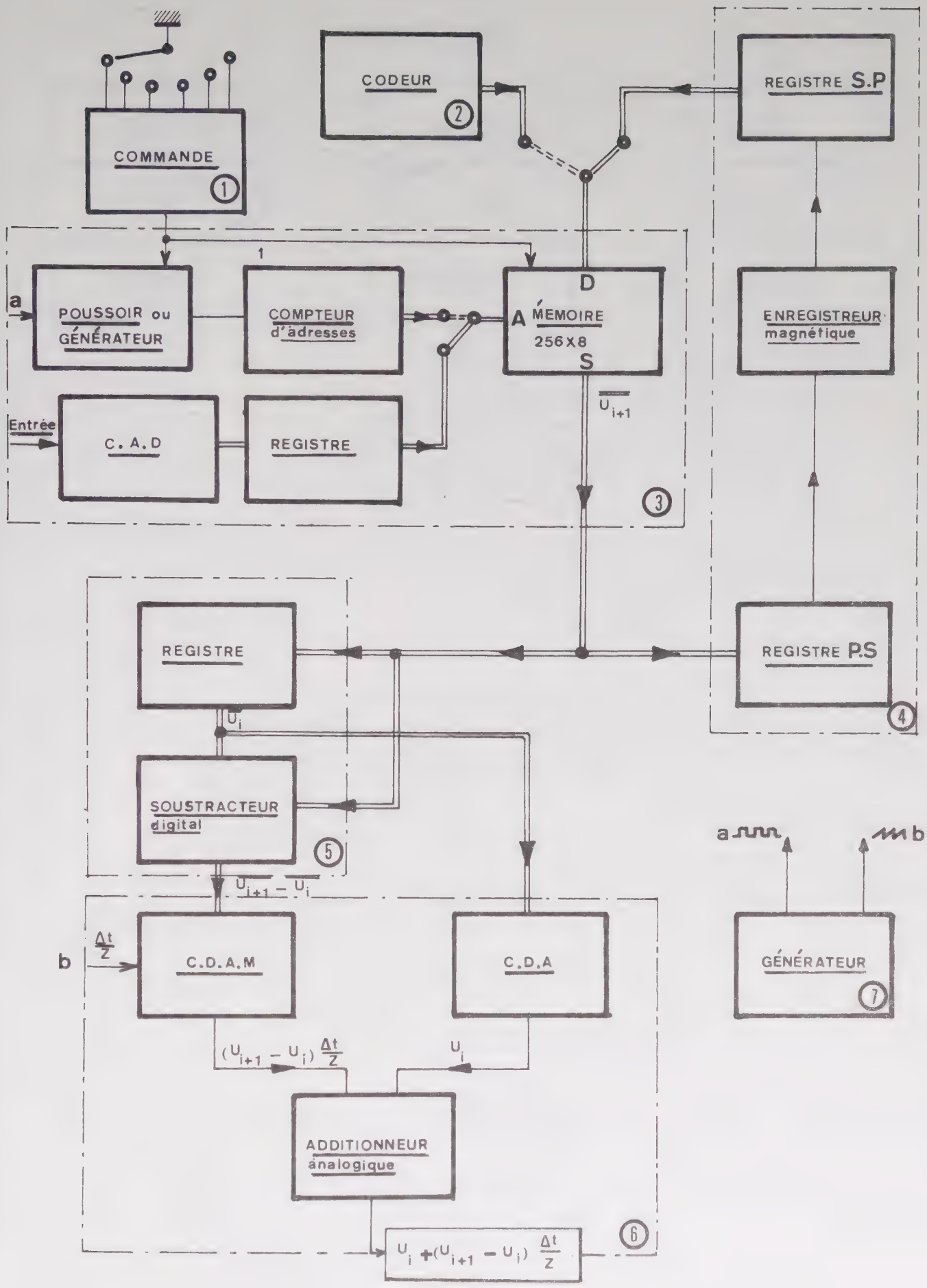


Planche 1 : Générateur de fonctions

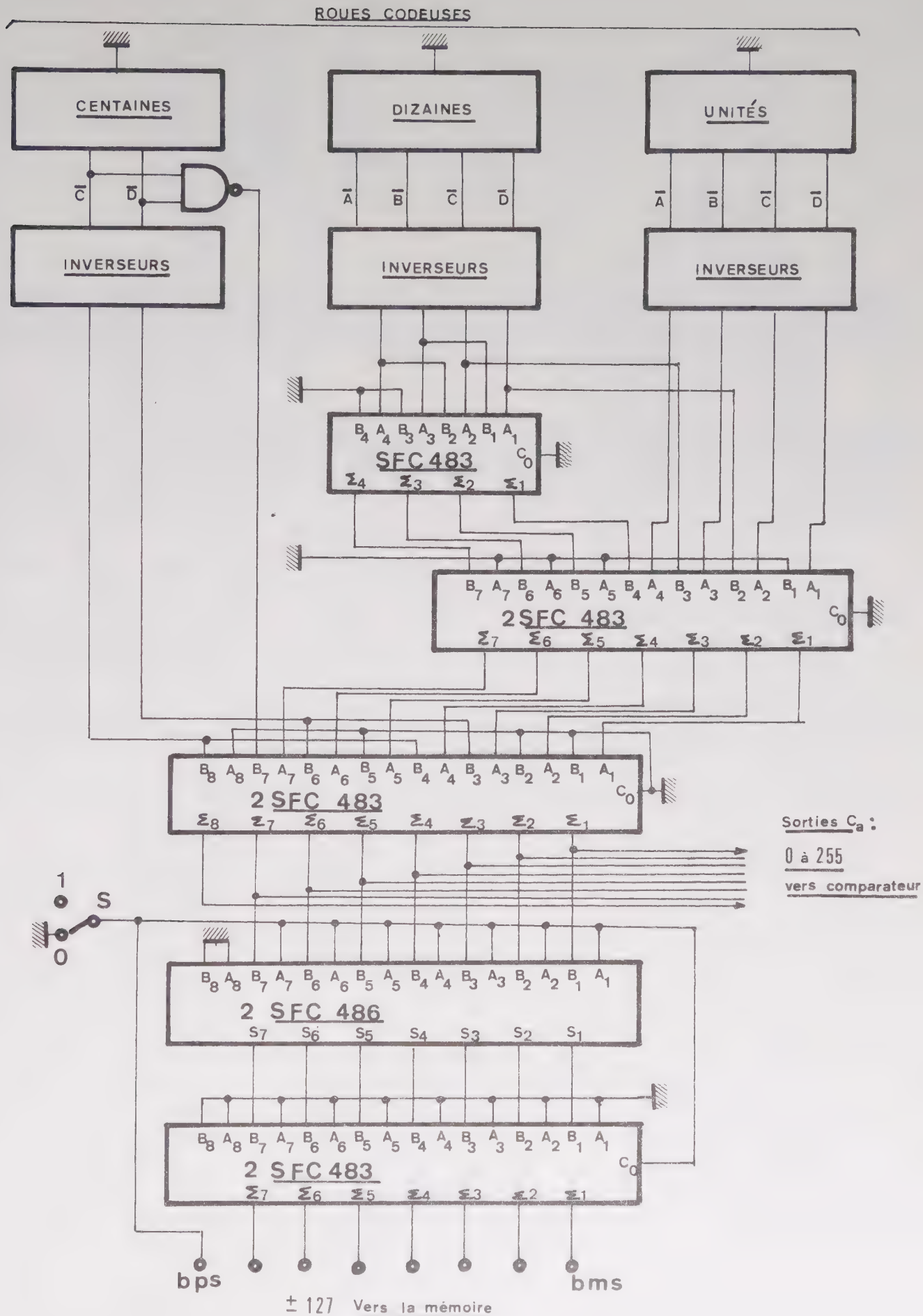
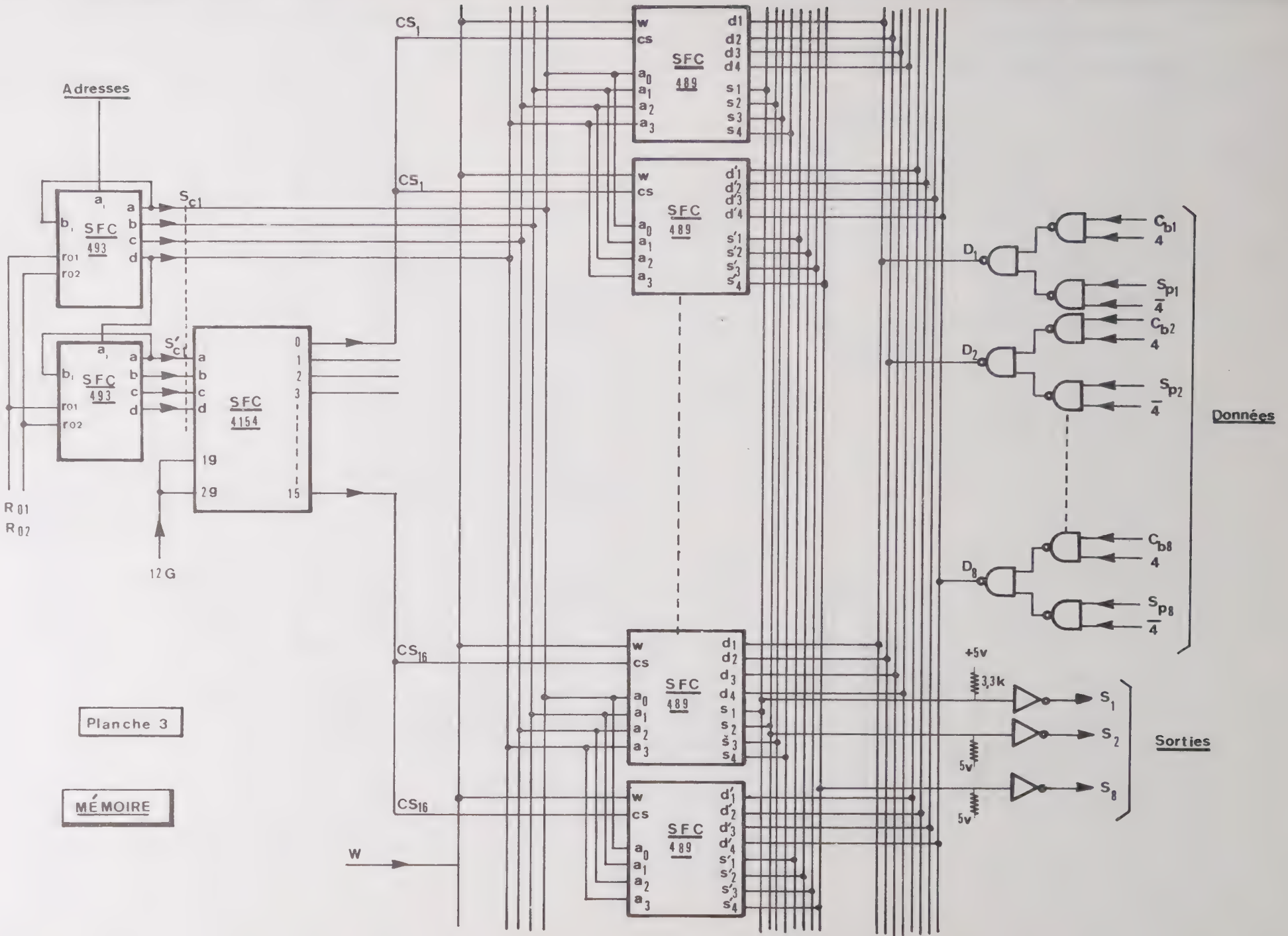


Planche 2 : Codeur


Adresses
SFC 493
SFC 4154
SFC 489
S_{c1}
S'_{c1}
R_{01}
R_{02}
12 G
CS_1
CS_{16}
W
D_1
D_8
C_{b1} 4
S_{p1} 4
C_{b2} 4
S_{p2} 4
C_{b8} 4
S_{p8} 4
Données
+5v
3,3k
5v
S_1
S_2
S_8
Sorties
Planche 3
MÉMOIRE

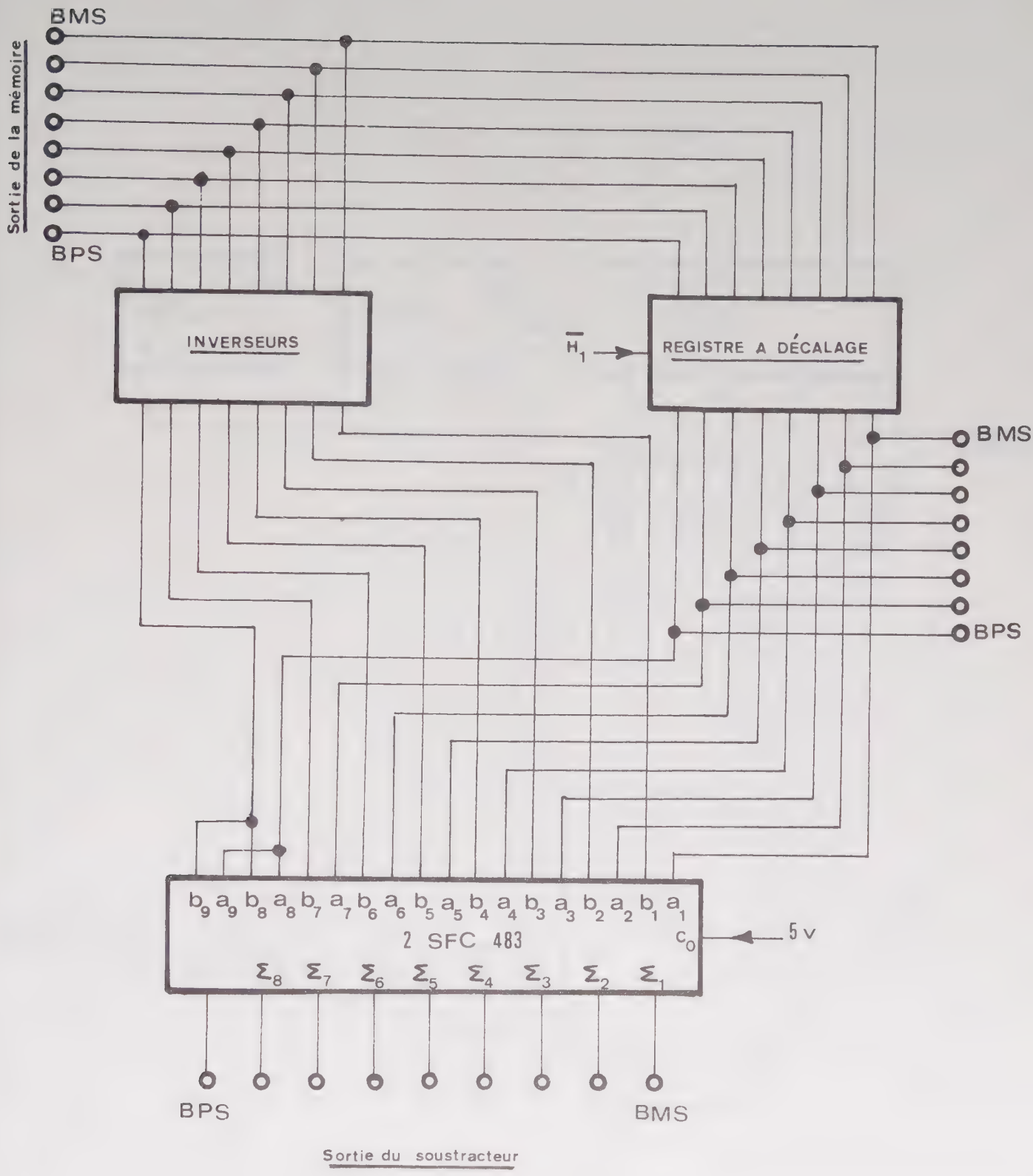


Planche 4 : registre et soustracteur

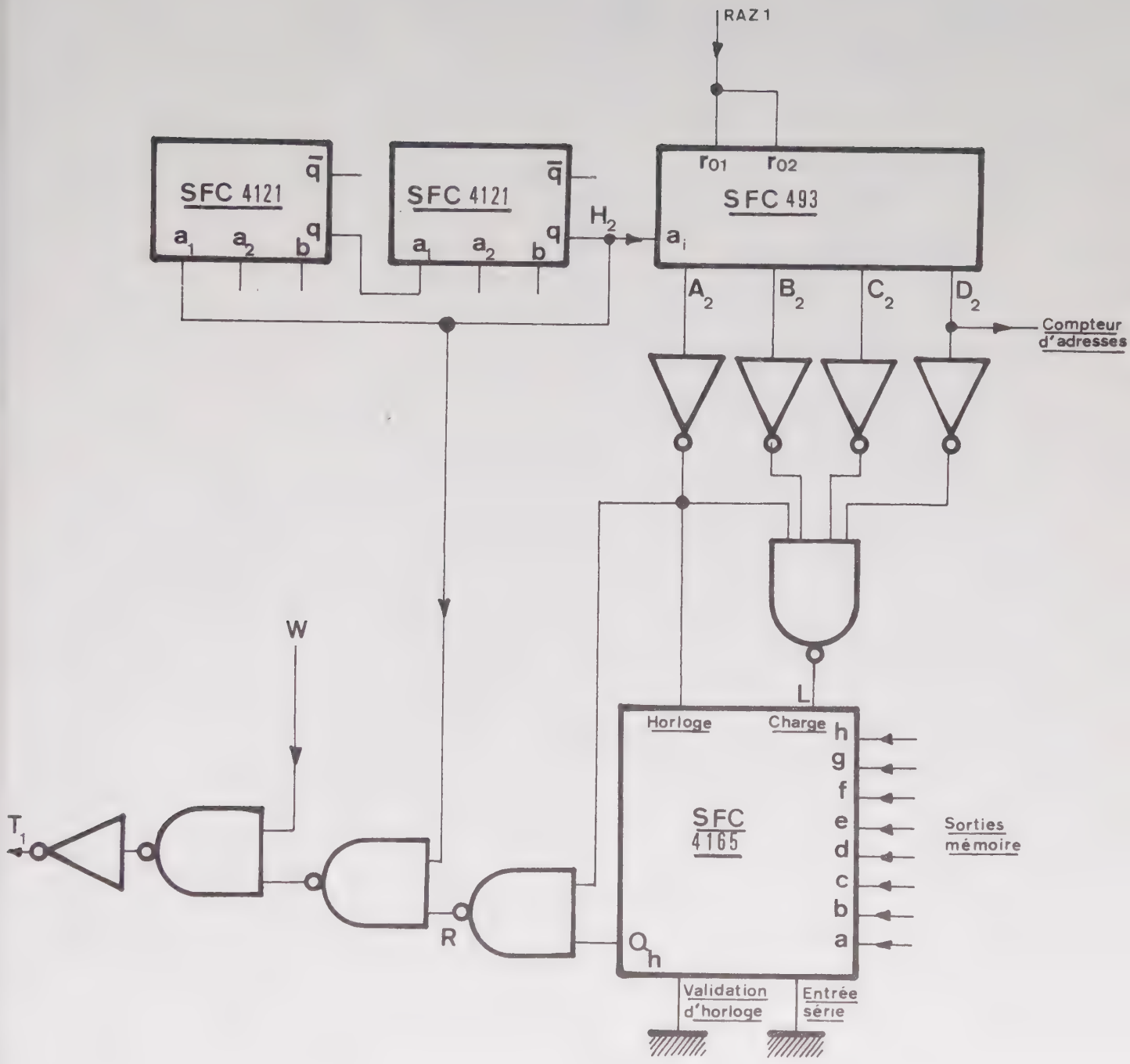


Planche 5 : enregistrement sur bande

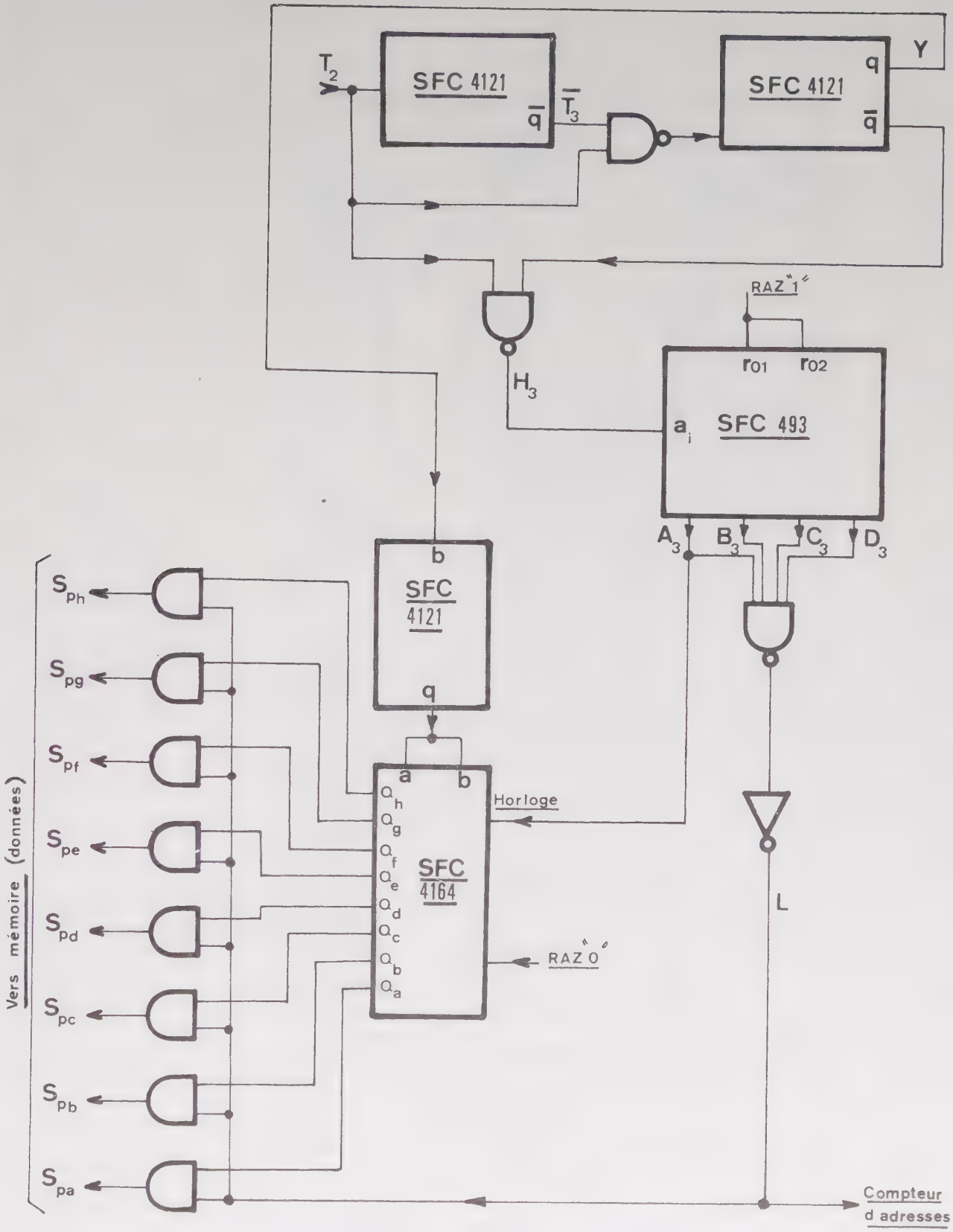


Planche 6 : Lecture de la bande

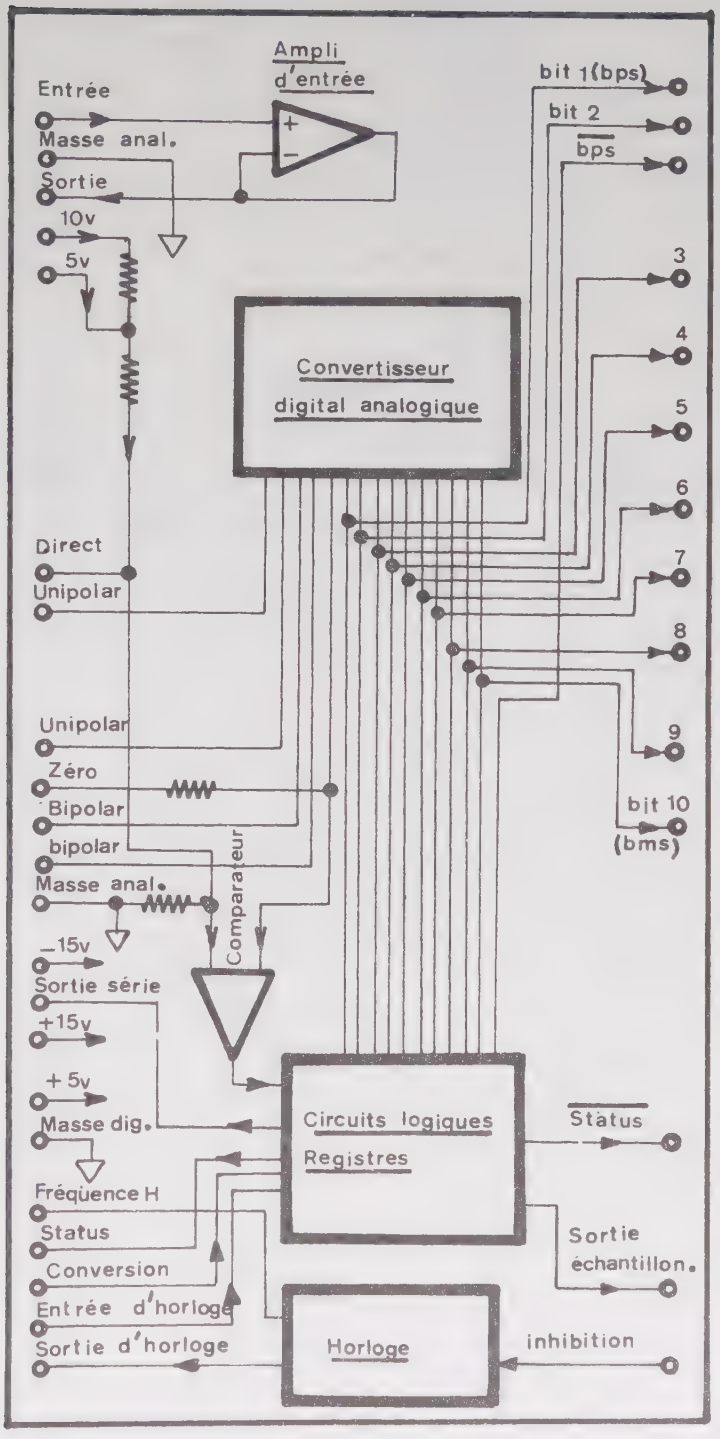


Planche 7: Convertisseur analogique_digital ADC 10Z

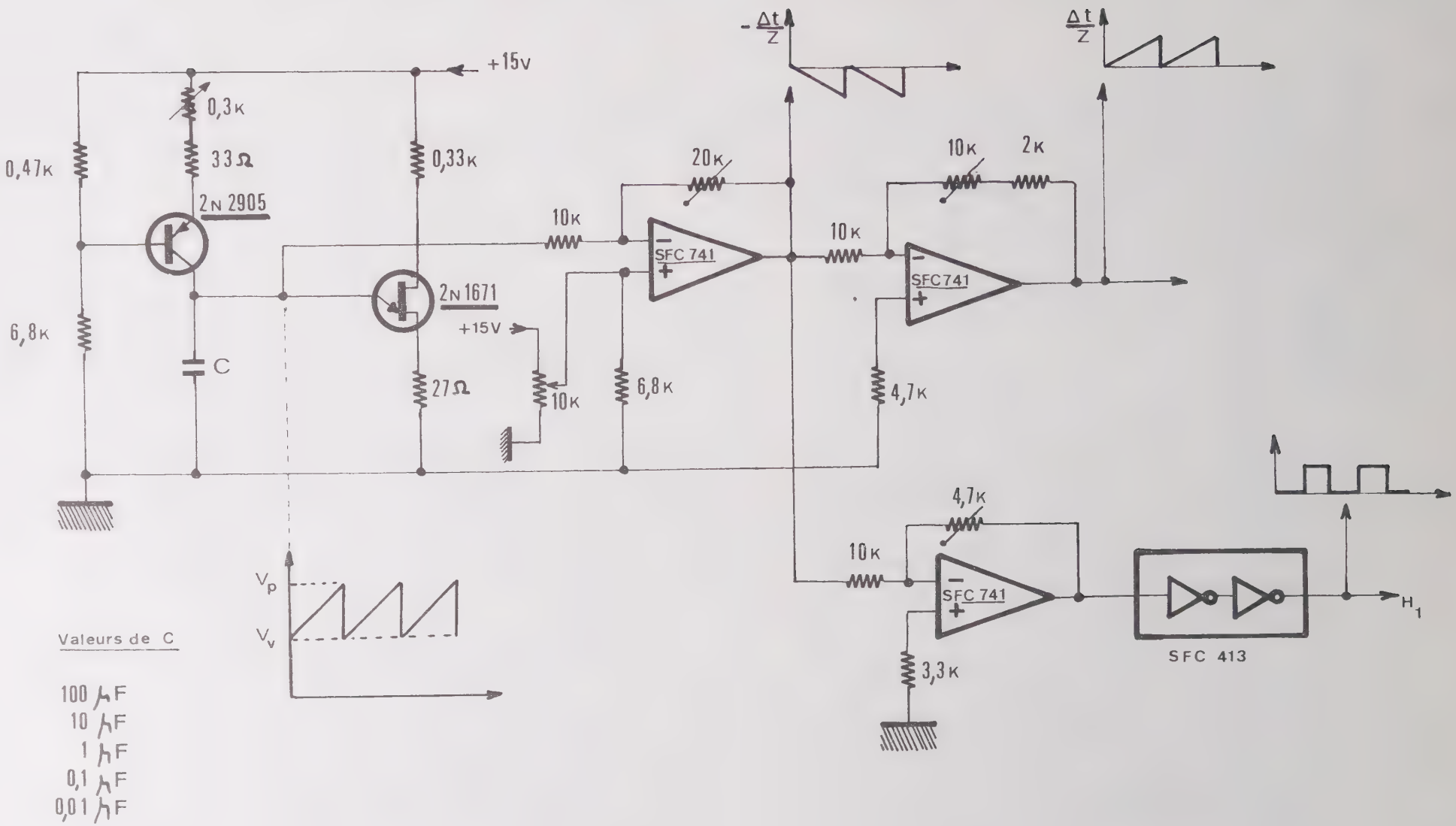


Planche 8 :générateurs

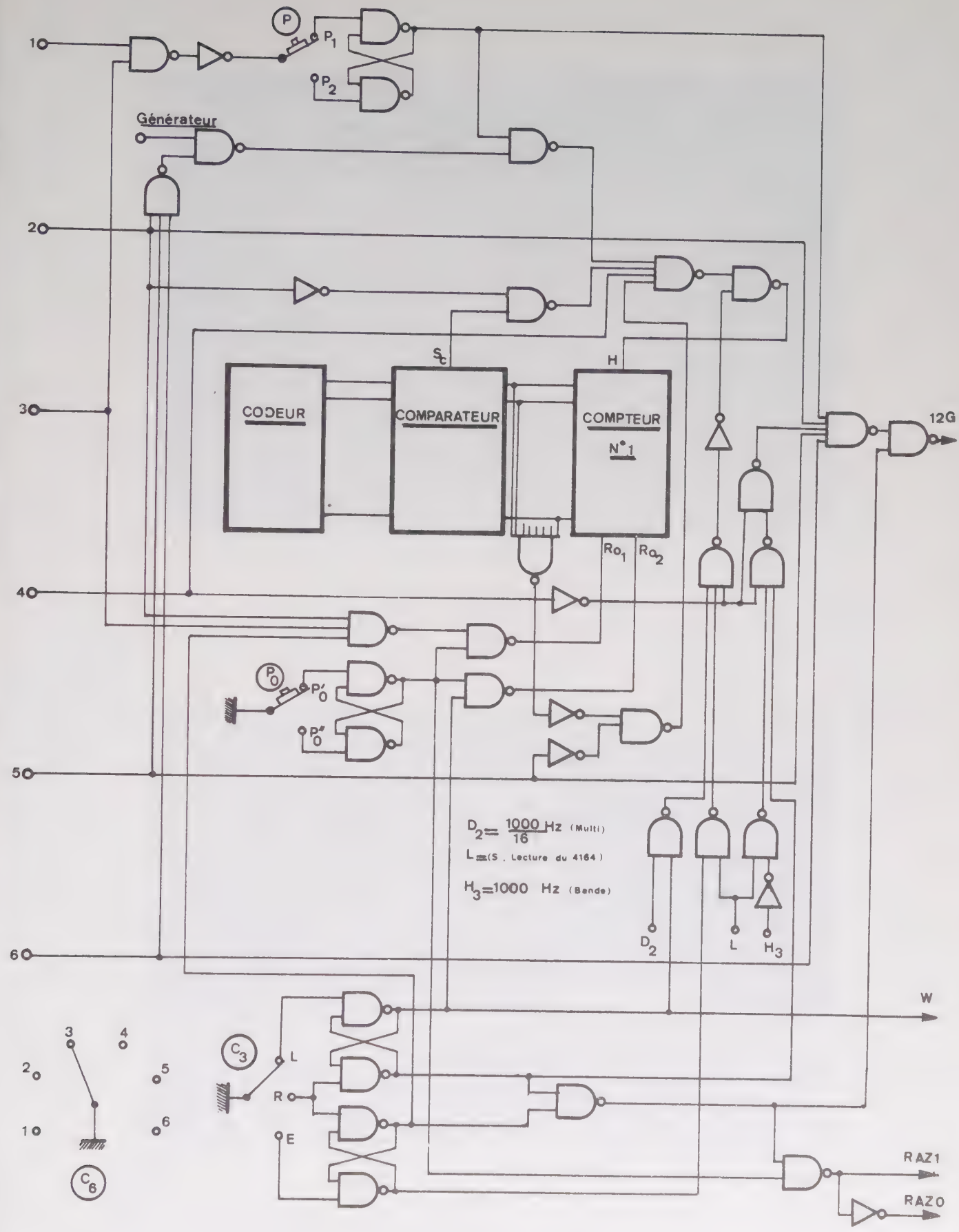
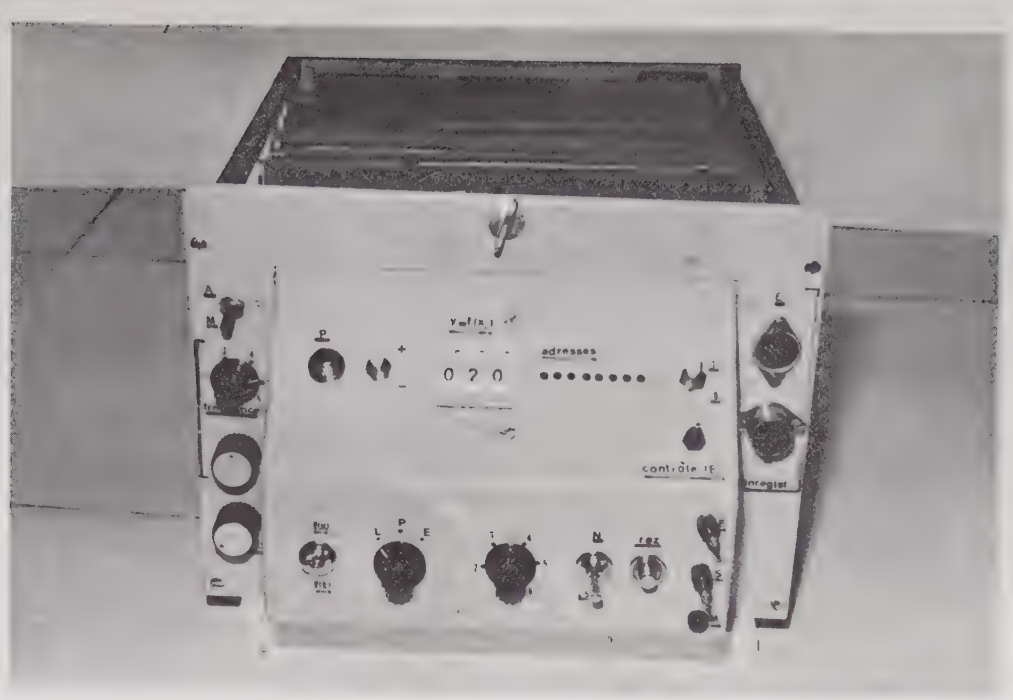


Planche 9 : COMMANDE



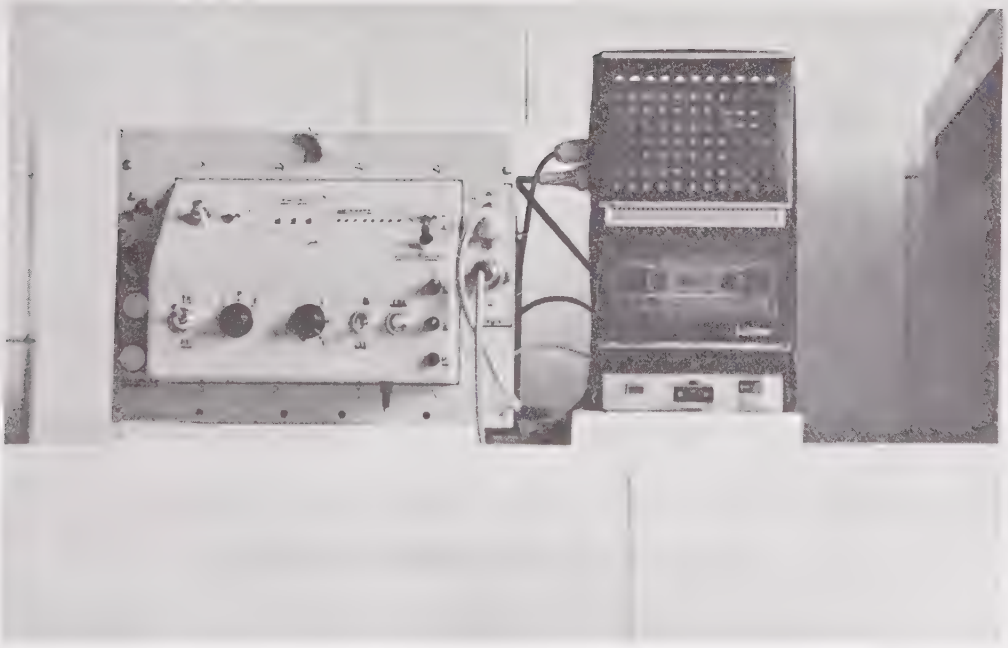


Planche 10 : Générateur de fonctions

VU

Le Président du Jury

R. GENIN

VU

Le Directeur de l'U.E.R.
Sciences de la Matière
et de la Mer de Brest

J. LE FLOCH

VU ET PERMIS D'IMPRIMER

BREST, le 25 Novembre 1975

Le Président de l'Université
de Bretagne Occidentale

J. QUERRE